

JAM DIGITAL YANG DILENGKAPI KALENDER

(DIGITAL WATCH WITH CALENDAR)

Diajukan untuk Memenuhi Salah Satu Syarat

Memperoleh Gelar Sarjana Teknik

Program Studi Teknik Elektro



Disusun Oleh

FILIPUS GUNAWAN

NIM : 975114016

PROGRAM STUDI TEKNIK ELEKTRO
FAKULTAS TEKNIK
UNIVERSITAS SANATA DHARMA
YOGYAKARTA
2004

LEMBAR PERSETUJUAN
TUGAS AKHIR
JAM DIGITAL YANG DILENGKAPI KALENDER
(DIGITAL WATCH WITH CALENDAR)

disusun oleh

FILIPUS GUNAWAN

NIM : 975114016

Dosen Pembimbing I



Ir. Linggo Sumarno, MT

Tanggal : 26 Juni 2004

Dosen Pembimbing II



Ir. Th. Prima Ari Setiyani, MT

Tanggal : 26 Juni 2004

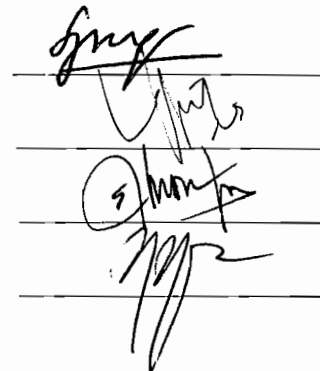
HALAMAN PENGESAHAN
TUGAS AKHIR
JAM DIGITAL YANG DILENGKAPI KALENDER
(DIGITAL WATCH WITH CALENDAR)

disusun oleh
FILIPUS GUNAWAN
NIRM : 97005112310710015
NIM : 975114016

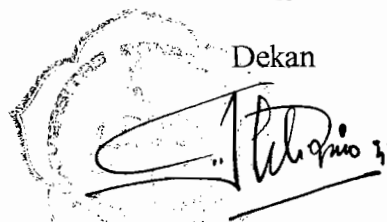
Telah dipertahankan di depan panitia penguji
Pada tanggal : 6 Juli 2004
Dan dinyatakan memenuhi syarat

Susunan Panitia Penguji

Ketua : Ir. Linggo Sumarno, MT
Sekretaris : Ir. Th. Prima Ari Setiyani, MT
Anggota : Ir. Iswanjono, MT
Anggota : A. Bayu Primawan, ST., M.Eng



Yogyakarta, 26 Juni 2004
Fakultas Teknik
Universitas Sanata Dharma
Yogyakarta

Dekan


Ir. Greg. Heliarko S.J., SS., B.S.T., M.A., M.Sc.

KATA PENGANTAR

Puji syukur, saya ucapkan kepada Tuhan Yang Maha Esa, atas segala rahmat yang telah dilimpahkan kepada saya, sehingga mampu menyelesaikan tugas ini sebagai salah satu syarat untuk meraih gelar Sarjana (S1) pada jurusan Teknik Elektro, Fakultas Teknik, Universitas Sanata Dharma Yogyakarta.

Penulis menyadari sepenuhnya, tanpa bantuan dari berbagai pihak, maka pembuatan tugas ini tidak akan selesai. Maka dari itu penulis ingin mengucapkan banyak terima kasih yang setulus-tulusnya kepada :

1. Bapak Ir. Linggo Sumarno, MT selaku dosen pembimbing I.
2. Ibu Ir. Th. Prima Ari Setiyani, MT selaku dosen pembimbing II.
3. Bapak Ibu tercinta Alb. Narto Sunardi dan L. Sumunar yang telah memberikan semangat, doa, biaya kuliah, serta kasih sayang kepada saya.
4. Mas Ign. Agus Yunadi dan Mbak Jati, Mas Jamal dan Mbak Trisalami yang telah membantu saya.
5. Adik saya Felix Enggalis Valentiangga yang telah menemani saya menulis.
6. Riana Ariyanti tercinta.
7. Indah Pratiwi yang telah meminjamkan komputernya.
8. Suster Theresia yang telah mendoakan saya supaya skripsinya lancar.
9. Mas Petrus Sumardi, Mas Antonius Suryono, Mas FX. Suryo yang telah meminjamkan laboratoriumnya untuk penelitian.
10. Serta seluruh karyawan laboratorium dan teman-teman yang tidak mungkin saya sebutkan satu-persatu atas kerja samanya yang baik selama ini.

Akhir kata penulis berharap semoga skripsi ini dapat sedikit membantu menambah pengetahuan pembaca khususnya tentang jam digital yang dilengkapi kalender yang dirancang menggunakan IC TTL.

Yogyakarta, 14 Juni 2004

Penulis

DAFTAR ISI



HALAMAN JUDUL	i
HALAMAN PERSETUJUAN.....	ii
HALAMAN PENGESAHAN	iii
PERNYATAAN KEASLIAN KARYA	iv
KATA PENGANTAR	v
DAFTAR ISI	vi
DAFTAR GAMBAR	ix
DAFTAR TABEL	xi
INTISARI	xii
ABTRACT	xiii
BAB I PENDAHULUAN	1
1.1. Judul	1
1.2. Latar Belakang Masalah	1
1.3. Tujuan dan Manfaat	2
1.4. Batasan Masalah	2
1.5. Metodologi Penelitian	3
1.6. Sistematika Penulisan	3
BAB II DASAR TEORI	4
2. Jam Digital Yang Dilengkapi Kalender	4
2.1. Osilator	7
2.2. Pencacah Jam Digital Yang Dilengkapi Kalender	8

2.2.1. Pencacah Tak Serempak Modulus 2	8
2.2.2. Pencacah Tak Serempak Modulus 3	8
2.2.3. Pencacah Tak Serempak Modulus 4	10
2.2.4. Pencacah Tak Serempak Modulus 6	11
2.2.5. Pencacah Tak Serempak Modulus 7	13
2.2.6. Pencacah Tak Serempak Modulus 9	14
2.2.7. Pencacah Tak Serempak Modulus 10	16
2.3. Dekoder BCD ke Tujuh Segmen	17
2.4. Dekoder Biner ke Desimal	18
2.5. Multiplekser 12 ke 1	18
2.6. Penampil Tujuh Segmen	21
2.7. Penampil Light Emitting Diode (LED)	22
2.8. Rangkaian De bouncing	23
BAB III RANCANGAN PENELITIAN	24
3. Perancangan Jam Digital yang Dilengkapi Kalender dengan Perangkat Keras	24
3.1. Osilator	24
3.2. Pencacah Tak Serempak Modulus 6	25
3.3. Pencacah Tak Serempak Modulus 10	27
3.4. Pencacah Tak Serempak Modulus 12	28
3.5. Pencacah Tak Serempak Modulus 24	30
3.6. Pencacah Tak Serempak Modulus 7	33
3.7. Pencacah Tak Serempak Modulus (28, 29, 30,31)	34

3.8. Dekoder BCD ke Tujuh Segmen	36
3.9. Multiplekser 12 ke 1	37
3.10. Dekoder BCD ke Desimal	39
3.11. Penampil Tujuh Segmen	39
3.12. Penampil Light Emitting Diode (LED)	40
3.13. Rangkaian De Bouncing Jam Digital yang Dilengkapi Kalender	41
BAB IV HASIL PENGAMATAN DAN PEMBAHASAN	42
4.1. Sistem Pengoperasian Jam Digital yang Dilengkapi Kalender	42
4.2. Keakuratan Jam Digital yang Dilengkapi Kalender	44
4.3. Data IC dan Komponen Jam Digital yang Dilengkapi Kalender ..	49
4.4. Analisa Daya dan Kuat Arus	50
4.5. Tampilan Tahun	52
BAB V KESIMPULAN DAN SARAN	53
5.1. Kesimpulan	53
5.2. Saran	54
DAFTAR PUSTAKA	55

DAFTAR GAMBAR

Gambar 2.1. Diagram kotak jam digital yang dilengkapi kalender	5
Gambar 2.2. Rangkaian lonceng TTL	7
Gambar 2.3. (A) Gambar Pencacah tak serempak modulus 3	9
(B) Gambar bentuk gelombang keluaran pencacah modulus 3	9
Gambar 2.4. Pencacah tak serempak modulus 4	10
Gambar 2.5. Bentuk gelombang keluaran pencacah tak serempak modulus 4 .	11
Gambar 2.6. Pencacah tak serempak modulus 6	12
Gambar 2.7. Bentuk gelombang keluaran pencacah tak serempak modulus 6	12
Gambar 2.8. Pencacah tak serempak modulus 7	13
Gambar 2.9. Bentuk gelombang keluaran pencacah tak serempak modulus 7	14
Gambar 2.10. Pencacah tak serempak modulus 9	15
Gambar 2.11. Bentuk keluaran pencacah tak serempak modulus 9	15
Gambar 2.12. Pencacah tak serempak modulus 10	16
Gambar 2.13. Bentuk keluaran pencacah tak serempak modulus 10	17
Gambar 2.14. Dekoder BCD ke tujuh segmen	18
Gambar 2.15. Dekoder BCD ke Desimal	18
Gambar 2.16. Multiplekser 12 ke 1	21
Gambar 2.17. Gambar (A) Penampil tujuh segmen common katoda	22
Gambar (B) Penampil tujuh segmen common anoda.....	22
Gambar 2.18. Gambar rangkaian de bouncing	23
Gambar 3.1. Diagram blok pembagi frekuensi	24

Gambar 3.2. Rangkaian lonceng TTL.....	25
Gambar 3.3. Pencacah tak serempak modulus 6	26
Gambar 3.4. Bentuk gelombang keluaran pencacah tak serempak modulus 6	26
Gambar 3.5. Pencacah tak serempak modulus 10	27
Gambar 3.6. Bentuk gelombang keluaran pencacah tak serempak modulus 10	28
Gambar 3.7. Pencacah tak serempak modulus 12	29
Gambar 3.8. Bentuk gelombang keluaran pencacah tak serempak modulus 12	29
Gambar 3.9. Pencacah tak serempak modulus 24	31
Gambar 3.10. Bentuk keluaran pencacah tak serempak modulus 24.....	32
Gambar 3.11. Pencacah tak serempak modulus 7.....	33
Gambar 3.12. Bentuk keluaran pencacah tak serempak modulus 7.....	33
Gambar 3.13. Pencacah tak serempak modulus (28, 29, 30,31).....	36
Gambar 3.14. Bentuk keluaran pencacah tak serempak modulus (28, 29, 30,31).....	36
Gambar 3.15. Dekoder BCD ke tujuh segmen	37
Gambar 3.16. Multiplekser 12 ke 1	38
Gambar 3.17. Dekoder biner ke desimal 3 ke 7	39
Gambar 3.18. Penampil tujuh segmen common anoda	40
Gambar 3.19. Gambar rangkaian de bouncing	41
Gambar 4.1. Gambar jam digital yang dilengkapi kalenderbterlihat dari atas ..	43
Gambar 4.2. Grafik hubungan antara perubahan waktu terhadap frekuensi ...	46

DAFTAR TABEL

Tabel 2.1. Tabel eksitasi dan transisi pencacah tak serempak modulus 3	9
Tabel 2.2. Tabel eksitasi dan transisi pencacah tak serempak modulus 4	11
Tabel 2.3. Tabel eksitasi dan transisi pencacah tak serempak modulus 6	13
Tabel 2.4. Tabel eksitasi dan transisi pencacah tak serempak modulus 7	14
Tabel 2.5. Tabel eksitasi dan transisi pencacah tak serempak modulus 9	15
Tabel 2.6. Tabel eksitasi dan transisi pencacah tak serempak modulus 10	17
Tabel 2.7. Tabel eksitasi dan transisi multiplexer	20
Tabel 3.1. Tabel eksitasi dan transisi pencacah tak serempak modulus 6	26
Tabel 3.2. Tabel eksitasi dan transisi pencacah tak serempak modulus 10	28
Tabel 3.3. Tabel eksitasi dan transisi pencacah tak serempak modulus 12	30
Tabel 3.4. Tabel eksitasi dan transisi pencacah tak serempak modulus 24	32
Tabel 3.5. Tabel eksitasi dan transisi pencacah tak serempak modulus 7	34
Tabel 3.6. Tabel eksitasi dan transisi pencacah tak serempak modulus (28, 29, 30, 31)	35
Tabel 3.7. Tabel eksitasi dan transisi multiplexer	38
Tabel 4.1. Hasil pengamatan frekuensi terhadap perubahan tegangan	45
Tabel 4.2. Hasil pengamatan frekuensi terhadap perubahan waktu	46
Tabel 4.3. Hasil pengamatan jam digital yang dilengkapi kalender	48

INTISARI

Jam digital yang dilengkapi kalender adalah piranti elektronika yang digunakan untuk mencatat waktu. Jam digital yang dilengkapi kalender dirancang dengan IC TTL. Topik ini diambil penulis karena baik jam maupun kalender diperlukan dalam kehidupan sehari-hari.

Rangkaian jam digital memerlukan pembangkit frekuensi 1 Hz yang digunakan untuk clock detik. Pencacah detik menghasilkan gelombang permenit yang digunakan untuk clock menit. Pencacah menit menghasilkan gelombang kotak perjam, yang digunakan untuk clock jam. Pencacah jam menghasilkan gelombang kotak perhari, yang digunakan untuk clock hari dan tanggal. Pencacah tanggal menghasilkan gelombang kotak perbulan, yang digunakan untuk clock bulan. Pencacah bulan menghasilkan gelombang kotak pertahun, yang digunakan untuk clock tahun. Tampilan detik, menit, jam, tanggal, bulan, masing-masing dua digit. Tampilan hari terdiri dari 7 LED dan tampilan tahun dengan empat digit. Tampilan jam dan kalender menyala secara serempak. Tampilan hari menyala bergantian secara urut dari atas ke bawah, sesuai dengan urutan hari dari Minggu, Senin, Selasa, Rabu, Kamis, Jumat, dan Sabtu. Kalender dirancang untuk tahun masehi dan tahun kabisat. Kalender hanya berlaku dari tahun 2000 sampai tahun 2099.

Rangkaian ini sudah berhasil diimplementasikan dalam bentuk hardware dengan mempergunakan IC TTL dan penampil BCD ke 7 segmen. Jumlah IC yang dipergunakan 48 IC. Daya yang diperlukan 6 Watt dengan tegangan 5 Volt dan arus 1,2 A. Jam hasil perancangan melambat 1 detik setelah 23 jam.

ABSTRACT

Digital watch with calendar is an electronic device that is used to note the time. This watch is made with TTL IC. This topic is taken because watch and calendar are used in daily life.

The scheme of this digital watch needs 1 Hz frequency that is used for the clock of second. The second counter produces digital signal per minute for the clock of minute. The minute counter produces the digital signal per hour for the clock of hour. The hour counter produces the digital signal per day, which is used for the clock of day and date. The date counter produces the digital signal per month for the clock of month. The month counter produces the digital signal per year for the clock of year. The display of second, minute, hour, date, month, year, is two digits for each display. The display of days consist of 7 LEDs and the display of year with 4 digits. The display of the watch and calendar blazes at the same time. The display of days blazes in turns in a series from the top to the bottom according to the day sequences from Sunday, Monday, Tuesday, Wednesday, Thursday, Friday, and Saturday. The calendar is designed for the masehi year and the leap year. The calendar is applied for year 2000 to 2099.

The scheme has been implemented successfully in the form of hardware by using TTL IC and the BCD to 7 segments display. The IC used are 48 IC. The power needed is 6 Watt with voltage 5 Volt and electric current 1,2 A. The designed watch slows 1 second every 23 hours.

BAB I

PENDAHULUAN

1.1. Judul

Jam Digital yang Dilengkapi Kalender

(Digital Watch With Calendar)

1.2. Latar Belakang Masalah

Di kehidupan sehari-hari sering dijumpai berbagai macam peralatan elektronika baik analog maupun digital. Elektronika digital saat ini sudah berkembang dengan pesat, baik di bidang telekomunikasi dan transportasi. Peralatan yang berbasis digital mudah pengoperasiannya dan lebih mudah pengamatannya, contohnya multimeter digital dan kamera digital. Hasil tampilan dari multimeter digital bisa langsung dibaca, tetapi untuk tampilan multimeter analog masih harus dibaca dengan cermat dan teliti karena masih menggunakan skala.

Kebanyakan jam menggunakan analog yang tampilannya menggunakan jarum dan harus memahami skala, yang keakuratannya tergantung dari sudut pandang yang melihatnya. Tampilan jam digital menggunakan segmen-segmen yang mampu menampilkan angka desimal yang dikenal oleh masyarakat umum. Berawal dari kenyataan yang terjadi di masyarakat, saya berinisiatif untuk membuat jam digital yang dilengkapi kalender. Jam digital saat ini sudah banyak beredar di kalangan masyarakat, tetapi rangkaiannya sudah dibuat khusus

sehingga tidak tahu bagaimana proses pencacahannya. Komponen yang digunakan berupa chip. Jika chipnya rusak, semua harus diganti.

1.3. Tujuan dan Manfaat

Tujuan yang akan dicapai yaitu membuat jam digital yang dilengkapi kalender sebagai penunjuk waktu.

Manfaat yang dapat dicapai dalam penelitian yaitu dapat mengetahui prinsip kerja counter dan tersedianya penunjuk waktu jam digital yang dilengkapi kalender.

1.4. Batasan Masalah

Pencacah dirancang dengan metode-metode dalam perancangan sistem digital menggunakan IC digital, masukan berasal dari osilator. Counter yang digunakan IC 74LS93. Pencacah yang digunakan pencacah tak sinkron. Tampilan menggunakan LED dan segmen-segmen. LED digunakan untuk tampilan hari dan segmen-segmen untuk tampilan jam dan kalender. Setiap keluaran memiliki tombol sendiri untuk mengontrol. Tampilan jam terdiri dari: jam, menit, detik, masing-masing dua digit. Tampilan kalender terdiri dari: tahun, bulan, tanggal, dan hari. Untuk tahun 4 digit dari tahun 2000-2099, untuk bulan 2 digit, untuk tanggal 2 digit. Kalender dirancang untuk tahun masehi dan kabisat.

1.5. Metodologi Penelitian

Laporan tugas akhir ditulis berdasarkan hasil pengamatan dan penelitian. Untuk dapat merencanakan dan membuat peralatan diperlukan langkah-langkah sebagai berikut :

1. Studi literatur tentang permasalahan yang ada, serta mempelajari cara kerja dan sekaligus cara-cara merencanakan dan membuat peralatan.
2. Perencanaan peralatan dengan spesifikasi tertentu.
3. Membuat peralatan untuk setiap bagian sistem sesuai dengan fungsi masing-masing dan uji kesesuaian dengan keinginan. Bagian tersebut selanjutnya disusun menjadi kesatuan yang utuh.

1.6. Sistematika Penulisan

Sistematika penulisan laporan terdiri dari 5 bab yaitu :

1. Bab I berisi pendahuluan yang berisi latar belakang, perumusan masalah, pembatasan masalah, tujuan penelitian, dan manfaat penelitian.
2. Bab II berisi diagram blok disertai dengan dasar teori.
3. Bab III berisi mengenai perancangan perangkat keras.
4. Bab IV berisi analisis dan pembahasan mengenai hasil penelitian.
5. Bab V berisi kesimpulan dan saran.

BAB II

DASAR TEORI

2.1. Jam Digital yang Dilengkapi Kalender

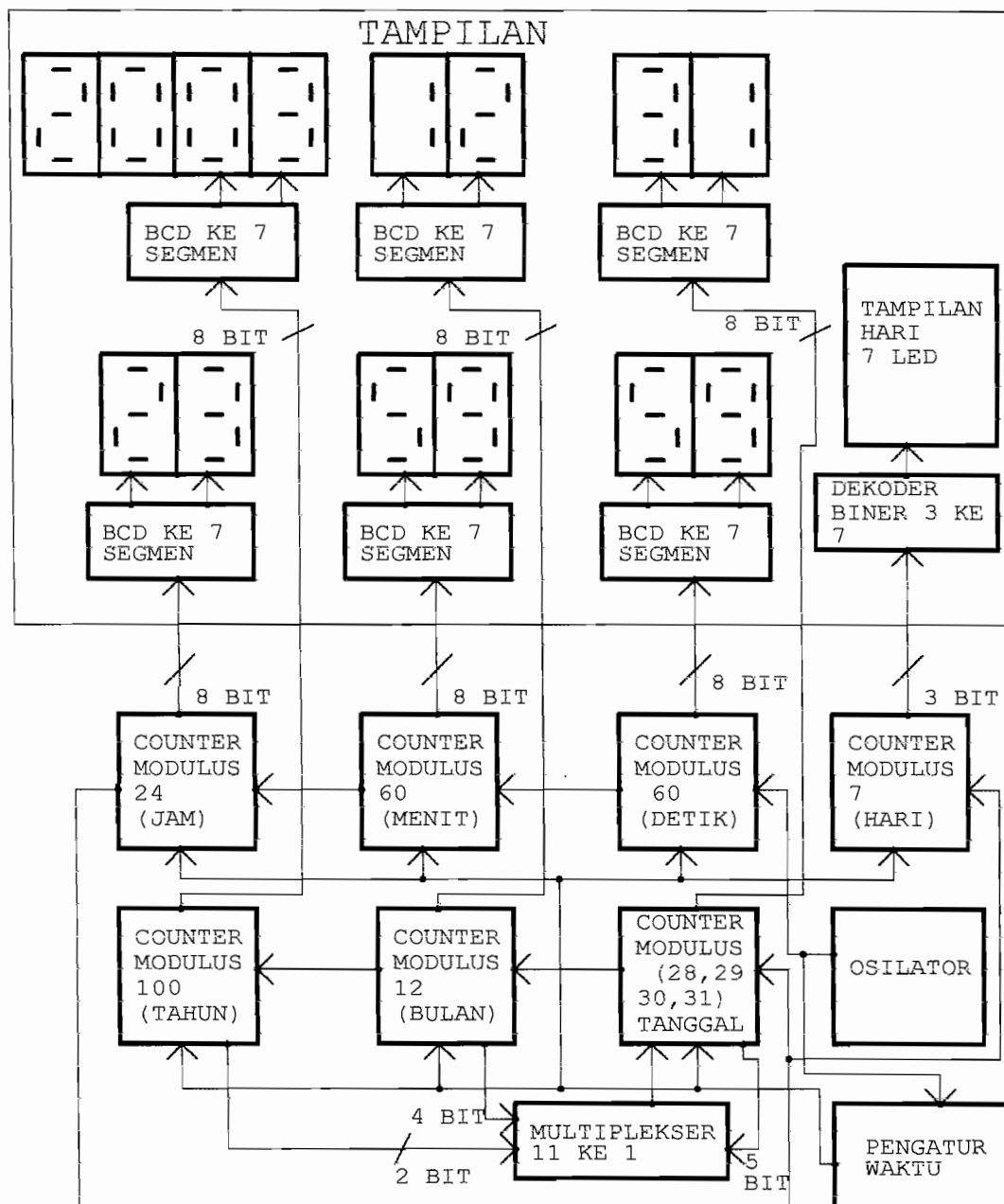
Waktu merupakan bagian dari kehidupan. Jam dan kalender merupakan alat penunjuk waktu. Sebuah jam yang lengkap dapat menampilkan detik, menit, jam, tanggal, hari, bulan, dan tahun. Satuan waktu terkecil dari jam adalah detik. Jam digital memerlukan pembangkit denyut yang frekuensinya dapat diperoleh dengan rumus 2.1

$$f = 1/t \qquad \qquad \qquad f = \text{frekuensi}$$

$$\qquad \qquad \qquad t = 1 \text{ detik} \quad \dots(2.1)$$

Osilator digunakan sebagai penghasil gelombang kotak yang digunakan sebagai penggerak pencacah detik. Dari pencacah detik menghasilkan gelombang kotak 1 daur per menit. Dari gelombang kotak ini digunakan sebagai clock pencacah menit modulus 60. Pencacah menit menghasilkan gelombang kotak 1 daur per jam. Gelombang kotak daur per jam sebagai clock pencacah biner modulus 24 sebagai pencacah jam. Dari pencacah 24 akan menghasilkan gelombang kotak 1 daur per hari. Gelombang ini akan digunakan sebagai clock pencacah hari dan tanggal. Pencacah tanggal akan menghasilkan gelombang kotak 1 daur per bulan. Pencacah bulan bermodulus 12. Dari pencacah ini akan dihasilkan gelombang kotak satu daur tahun. Gelombang ini sebagai clock pencacah tahun bermodulus 100. Ini merupakan gagasan dasar jam digital yang dilengkapi kalender.

Untuk mengetahui sistem kerja dari jam digital yang dilengkapi kalender bisa dilihat pada diagram kotak. Gambar 2.1 merupakan diagram kotak dari jam digital yang dilengkapi kalender.



Gambar 2.1. Diagram kotak jam digital yang dilengkapi kalender.

Pencacah pembagi 60 pertama berubah keadaan setiap detik dan memiliki 60 keadaan diskrit, dengan demikian dapat disandikan untuk menghasilkan sinyal detik. Pencacah ini disebut detik. Pencacah pembagi 60 kedua berubah keadaan sekali setiap 60 detik dan memiliki 60 keadaan diskrit. Dengan demikian pencacah ini dapat disandikan untuk menghasilkan sinyal menit. Pencacah ini merupakan pencacah menit. Pencacah pembagi 24 berubah keadaan sekali setiap 60 menit dan memiliki 24 keadaan diskrit. Dengan demikian pencacah ini dapat disandikan untuk menghasilkan sinyal jam. Pencacah ini merupakan pencacah jam. Pencacah pembagi 7 berubah keadaan sekali setiap 24 jam dan memiliki 7 keadaan diskrit. Dengan demikian pencacah ini dapat disandikan untuk menghasilkan sinyal hari. Pencacah pembagi tanggal berubah keadaan sekali setiap 24 jam dan memiliki keadaan tertentu. Untuk bulan 1, 3, 5, 7, 8, 10, dan 12 memiliki 31 keadaan. Untuk bulan 4, 6, 9, dan 11 memiliki 30 keadaan. Untuk bulan 2 memiliki 28 keadaan dan untuk 4 tahun sekali menjadi 29 keadaan. Pencacah ini merupakan pencacah tanggal. Pencacah pembagi 12 berubah keadaan sekali setiap satu bulan dan memiliki 12 keadaan diskrit. Dengan demikian pencacah ini dapat disandikan untuk menghasilkan sinyal bulan. Pencacah ini merupakan pencacah bulan. Pencacah pembagi 100 berubah keadaan sekali setiap 12 bulan dan memiliki 100 keadaan diskrit. Dengan demikian dapat disandikan untuk menghasilkan sinyal tahun.

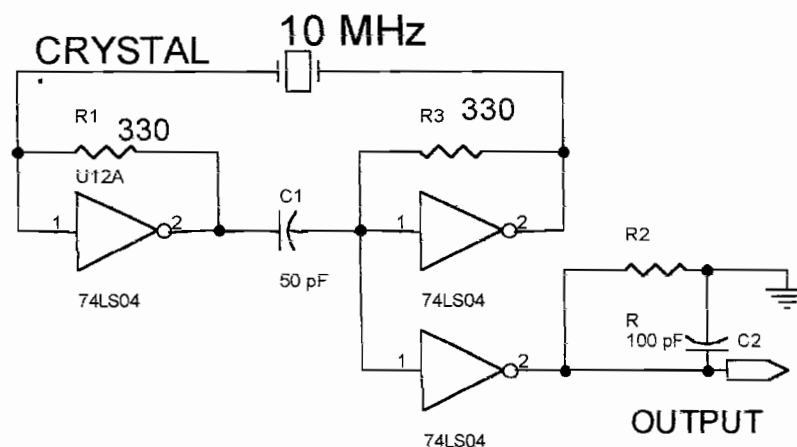
Komponen-komponen yang membentuk jam digital yang dilengkapi kalender :

1. Osilator
2. Pencacah jam digital yang dilengkapi kalender.

3. Dekoder BCD ke 7 segmen.
4. Dekoder BCD ke desimal
5. Multiplexer (12 ke 1).
6. Penampil 7 segmen.
7. Penampil LED.

2.1. Osilator

Osilator adalah rangkaian yang dapat mengeluarkan pulsa dengan nilai tegangan dan frekuensi tertentu. Pada rancangan jam digital yang dilengkapi kalender, osilator merupakan bagian yang penting karena kerja jam dan kalender digital ditentukan oleh frekuensi pulsa yang dikeluarkan dari osilator. Perancangan jam digital membutuhkan frekuensi 1 Hz. Sebagai pencacah jam, osilator mempunyai frekuensi keluaran 10 MHz. Frekuensi untuk clock diperoleh dari osilator. Rangkaian lonceng TTL dengan frekuensi 10 MHz ditunjukkan pada gambar 2.2.



Gambar 2.2. Gambar Rangkaian lonceng TTL.

2.2. Pencacah Jam Digital Yang Dilengkapi Kalender.

Pencacah merupakan dasar dari pembuatan jam digital yang dilengkapi kalender. Pencacah yang digunakan adalah:

1. Pencacah tak serempak modulus 2.
2. Pencacah tak serempak modulus 3.
3. Pencacah tak serempak modulus 4.
4. Pencacah tak serempak modulus 7.
5. Pencacah tak serempak modulus 9.
6. Pencacah tak serempak modulus 10.

Dasar dari pencacah ini adalah counter 4 bit

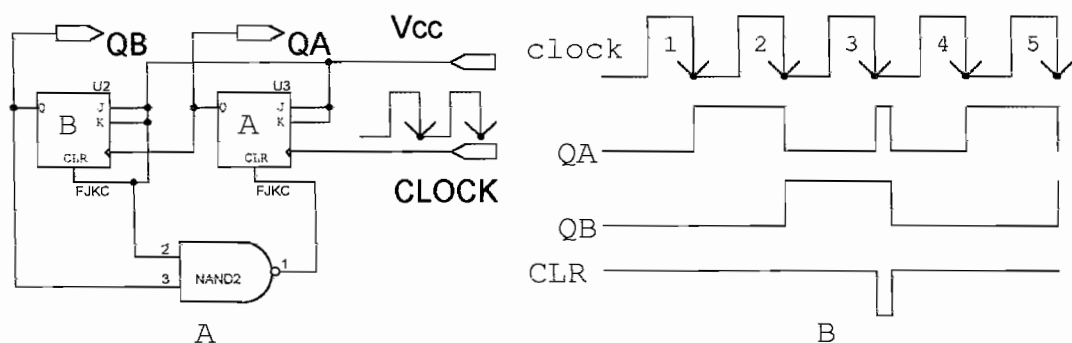
2.2.1. Pencacah Tak Serempak Modulus 2.

Pencacah tak serempak modulus 2 akan menghasilkan cacahan dari 0 dan 1. Pencacah ini pada perancangan kalender digital akan berfungsi sebagai pencacah tampilan puluhan bulan. Pencacah tak serempak modulus 2 dibangun dengan 1 buah JK Flip-flop. Pencacah modulus 2 memiliki keluaran seperti pulsa clock.

2.2.2. Pencacah Tak Serempak Modulus 3.

Pencacah tak serempak modulus 2 akan menghasilkan cacahan dari 0, 1, 2. Pencacah ini pada perancangan kalender digital akan berfungsi sebagai pencacah tampilan puluhan jam dan pencacah puluhan tanggal. Pencacah tak serempak modulus 3 dibangun dengan 2 buah JK Flip-flop. Pencacah modulus dua akan

direset menjadi 0 ketika nilai puluhan jam bernilai 2 dan satuan jam bernilai 4. Modulus 3 pada rangkaian tanggal berfungsi ketika bulan 2, tanggal menjadi modulus 28 dan modulus 29. Nilai puluhan tanggal untuk bulan 2 menjadi modulus 3. Modulus tiga akan direset menjadi 0 ketika puluhan tanggal menunjukkan angka 2 dan satuan tanggal menunjukkan angka 9 untuk bulan 2 tahun masehi dan modulus 3 akan mereset ketika akan menunjukkan angka 3 pada tampilan puluhan tanggal pada bulan 2 di tahun kabisat. Pencacah tak serempak modulus 3 terdiri 2 buah JK Flip-flop dan 1 gerbang NAND 2 masukan. Gambar 2.3. A memperlihatkan pencacah tak serempak modulus 3 dan gambar 2.3 B gambar keluaran pencacah modulus 3. Untuk tabel eksitasi dan transisi dari pencacah tak serempak modulus 3 diperlihatkan pada tabel 2.1.



Gambar 2.3. (A) Gambar pencacah tak serempak modulus 3

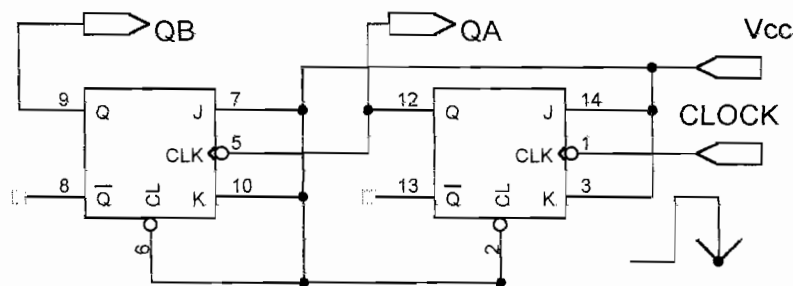
(B) Gambar bentuk gelombang keluaran pencacah tak serempak modulus 3.

Tabel 2.1. Tabel eksitasi dan transisi pencacah tak serempak modulus 3.

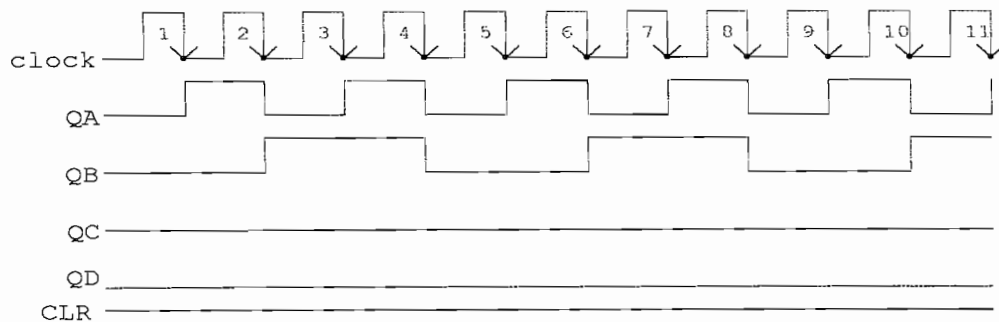
EKSITASI			TRANSISI				
C	B	A	CLOCK		CLR	OUTPUT	Cacahan
			↓	↑			
0	0	0	000	001	1	000	0
0	0	1	010	011	1	001	1
0	1	0	100	101	1	010	2
1	0	0	000	001	0	000	0

2.2.3. Pencacah Tak Serempak Modulus 4.

Pencacah tak serempak modulus 4 akan menghasilkan cacahan dari 0,1,2,3. Pencacah ini pada perancangan kalender digital akan berfungsi sebagai tampilan tahun kabisat. Pencacah tak serempak modulus 4 terdiri 2 buah JK Flip-flop. Gambar 2.4. memperlihatkan pencacah tak serempak modulus 4. Untuk tabel eksitasi dan transisi dari pencacah tak serempak modulus 4 diperlihatkan pada tabel 2.2. Pencacah tak serempak modulus 4 terdiri atas 2 buah JK Flip-flop. Ketika pulsa pinggiran negatif aktif memicu JK Flip-flop A keadaan awal nol, cacahan yang dihasilkan 00. Untuk pulsa berikutnya QA bernilai tinggi (1), QB, bernilai rendah (0). Keadaan yang dihasilkan 01, QA sebagai LSB dan QB sebagai MSB dengan hasil cacahan 1. Ketika pulsa QA di pinggiran negatif memicu JK Flip-flop B, sehingga QB bernilai tinggi (1), sedangkan QA rendah (0). Keadaan yang dihasilkan 10 cacahan bernilai 2. Pada pulsa ke 4, QA bernilai tinggi (1), QB tetap tinggi (1). Keadaan yang dihasilkan 11 cacahan bernilai 3. Untuk lebih jelas dapat dilihat pada gambar Gambar 2.5. Gambar gelombang keluaran dari pencacah tak serempak modulus 4.



Gambar 2.4. Pencacah tak serempak modulus 4.



Gambar 2.5. Bentuk gelombang keluaran pencacah tak serempak modulus 4.

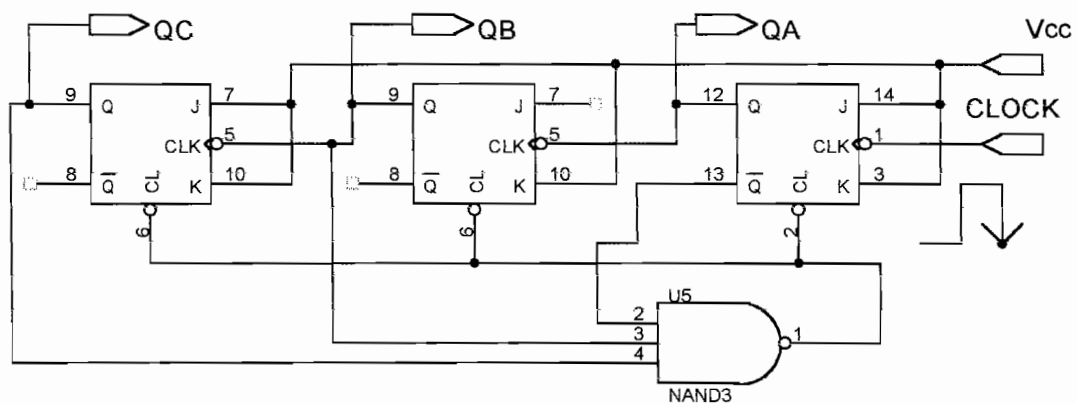
Tabel 2.2. Tabel eksitasi dan transisi pencacah tak serempak modulus 4.

EKSITASI					TRANSISI		
			CLOCK		CLR	OUTPUT	Cacahan
C	B	A	↓	↑			
0	0	0	000	001	1	000	0
0	0	1	010	011	1	001	1
0	1	0	100	101	1	010	2
0	1	1	110	111	1	011	3
1	0	0	000	001	0	000	0

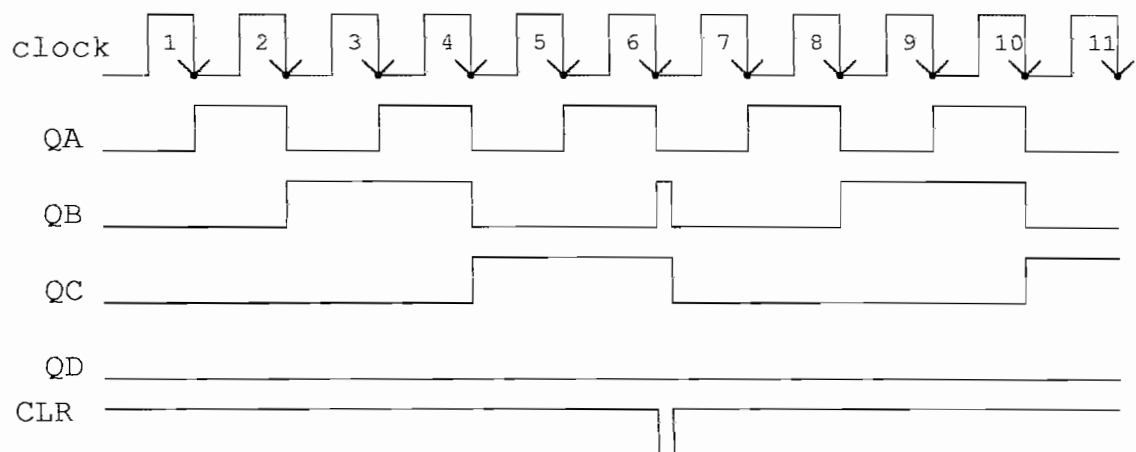
2.2.4. Pencacah Tak Serempak Modulus 6

Pencacah tak serempak modulus 6 akan menghasilkan cacahan 0,1,2,3,4,5. Pada perancangan jam digital pencacah ini akan berfungsi sebagai tampilan puluhan detik dan puluhan menit. Pencacah tak serempak modulus 6 yang dibangun memiliki prinsip kerja yang sama dengan pencacah tak serempak modulus 4. Pencacah tak serempak modulus 6 mempunyai keluaran 3 bit, untuk itu dibutuhkan 3 buah JK Flip-flop. Gambar 2.6. memperlihatkan pencacah tak serempak modulus 6. Pencacah tak serempak modulus 6 terdiri atas 3 buah JK Flip-flop dan 1 gerbang NAND. Untuk menghasilkan pencacah tak serempak modulus 6 bagian terpenting saat akan menghasilkan keadaan 110 dari keadaan

101, keadaan sesaat terjadi menghasilkan 110 tetapi karena pengaruh keluaran gerbang NAND tiga masukan bernilai rendah (0) dengan keluaran memparalelkan reset setiap JK Flip-flop keadaan berubah menjadi 000. Perubahan dari 101 menjadi 110 kemudian menjadi 000 berlangsung sedemikian cepat sehingga tidak terbaca dengan jelas. Untuk tabel eksitasi dan transisi pencacah tak serempak modulus 6 ditunjukkan pada tabel 2.3. Untuk gambar gelombang diperlihatkan pada gambar 2.7 dibawah ini.



Gambar 2.6. Pencacah tak serempak modulus 6.



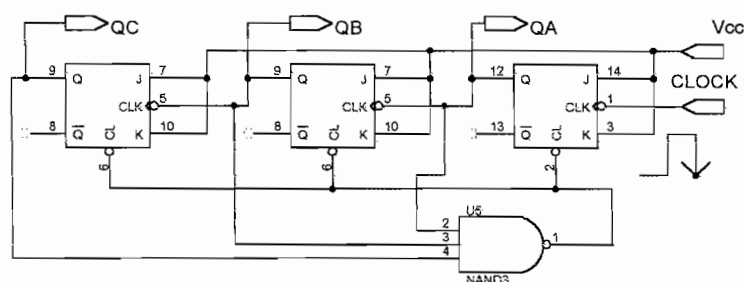
Gambar 2.7. Bentuk gelombang keluaran pencacah tak serempak modulus 6.

Tabel 2.3. Tabel eksitasi dan transisi pencacah tak serempak modulus 6

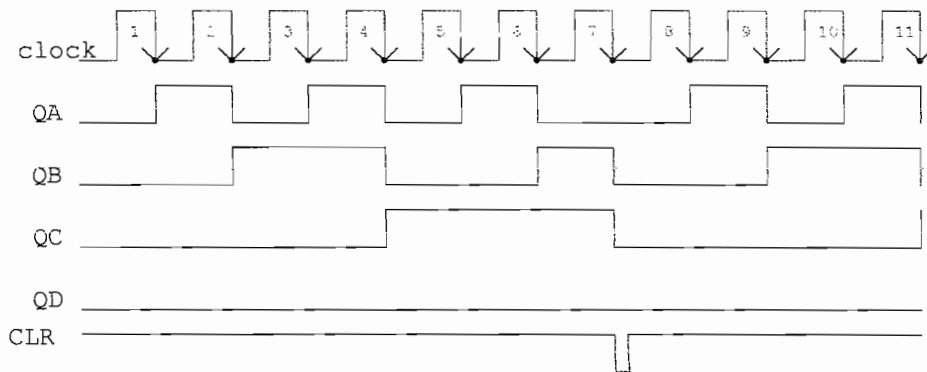
EKSITASI					TRANSISI		
			CLOCK		CLR	OUTPUT CBA	Cacahan
C	B	A	↓	↑			
0	0	0	000	001	1	000	0
0	0	1	010	011	1	001	1
0	1	0	100	101	1	010	2
0	1	1	110	111	1	011	3
1	0	0	000	001	1	100	4
1	0	1	010	011	1	101	5
1	1	0	100	101	0	000	0

2.2.5. Pencacah Tak Serempak Modulus 7.

Pencacah tak serempak modulus 7 akan menghasilkan cacahan dari 0 sampai 6. Pencacah ini pada perancangan kalender digital akan berfungsi sebagai tampilan hari. Pencacah tak serempak modulus 7 yang dibangun memiliki prinsip kerja yang sama dengan pencacah tak serempak modulus 4. Pencacah tak serempak modulus 7 terdiri dari 3 JK Flip-flop dan satu gerbang NAND 3 masukan. Gambar 2.8. memperlihatkan pencacah tak serempak modulus 7. Gambar 2.9. merupakan bentuk gelombang keluaran dari pencacah tak serempak modulus 7. Untuk tabel eksitasi dan transisi dari pencacah tak serempak modulus 7 diperlihatkan pada tabel 2.4.



Gambar 2.8. Pencacah tak serempak modulus 7.



Gambar 2.9. Bentuk keluaran pencacah tak serempak modulus 7.

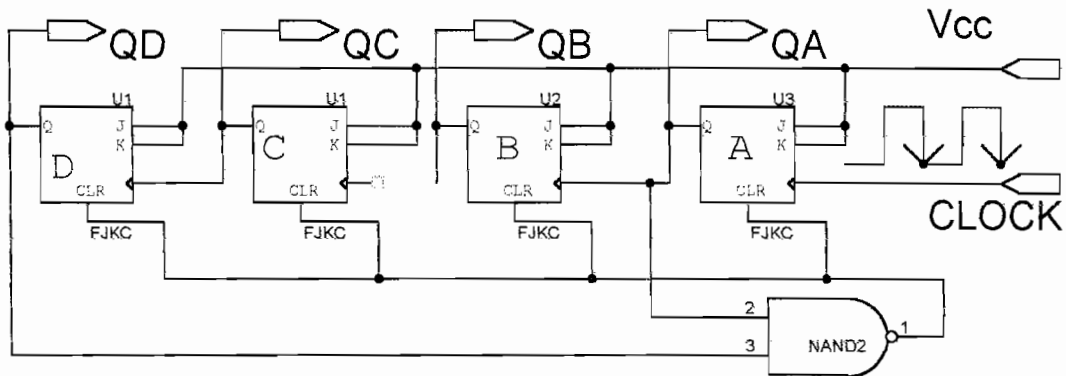
Tabel 2.4. Tabel eksitasi dan transisi pencacah tak serempak modulus 7.

EKSITASI			TRANSISI				
			CLOCK		CLR	OUTPUT	Cacahan
C	B	A	↓	↑			
0	0	0	000	001	1	000	0
0	0	1	010	011	1	001	1
0	1	0	100	101	1	010	2
0	1	1	110	111	1	011	3
1	0	0	000	001	1	100	4
1	0	1	010	011	1	101	5
1	1	0	100	101	1	110	6
1	1	1	110	111	0	000	0

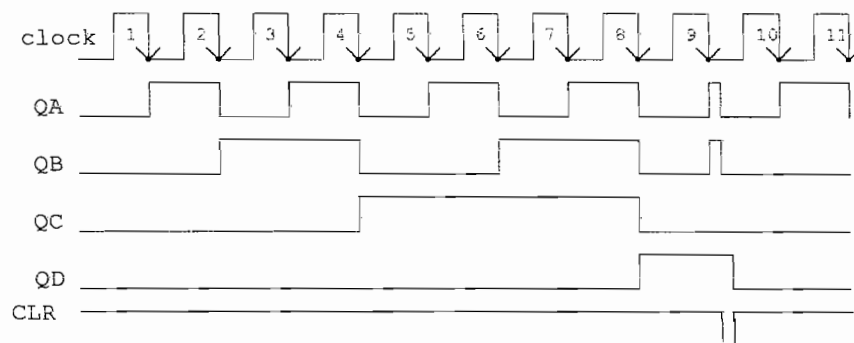
2.2.6. Pencacah Tak Serempak Modulus 9.

Pencacah tak serempak modulus 9 akan menghasilkan cacahan dari 0 sampai 8. Pencacah ini pada perancangan kalender digital akan berfungsi sebagai tampilan satuan tanggal. Pencacah tak serempak modulus 9 yang dibangun memiliki prinsip kerja yang sama dengan pencacah tak serempak modulus 4. Pencacah tak serempak modulus 9 terdiri dari 4 JK Flip-flop dan satu gerbang NAND 2 masukan. Gambar 2.10. memperlihatkan pencacah tak serempak modulus 9. Gambar 2.11. merupakan bentuk gelombang keluaran dari pencacah

tak serempak modulus 9. Untuk tabel eksitasi dan transisi dari pencacah tak serempak modulus 9 diperlihatkan pada tabel 2.5.



Gambar 2.10. Pencacah tak serempak modulus 9.



Gambar 2.11. Bentuk keluaran pencacah tak serempak modulus 9.

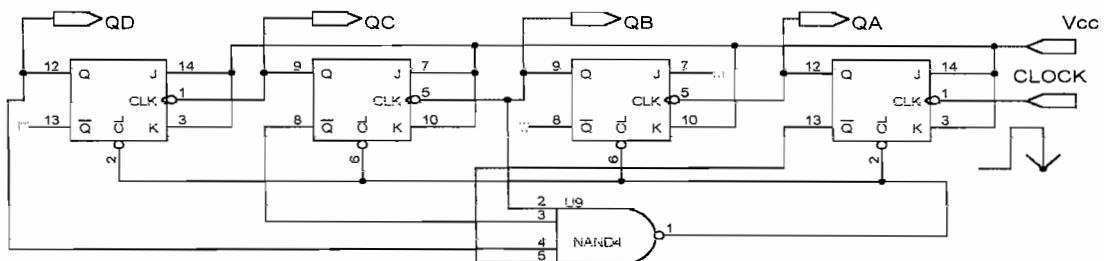
Tabel 2.5. Tabel eksitasi dan transisi pencacah tak serempak modulus 9

EKSITASI				TRANSISI				
D	C	B	A	CLOCK		CLR	OUTPUT DCBA	Cacahan
				↓	↑			
0	0	0	0	0000	0001	1	0000	0
0	0	0	1	0010	0011	1	0001	1
0	0	1	0	0100	0101	1	0010	2
0	0	1	1	0110	0111	1	0011	3
0	1	0	0	1000	1001	1	0100	4
0	1	0	1	1010	1011	1	0101	5
0	1	1	0	1100	1101	1	0110	6
0	1	1	1	1110	1111	1	0111	7
1	0	0	0	0000	0001	1	1000	8
1	0	1	0	0100	0101	0	0000	0

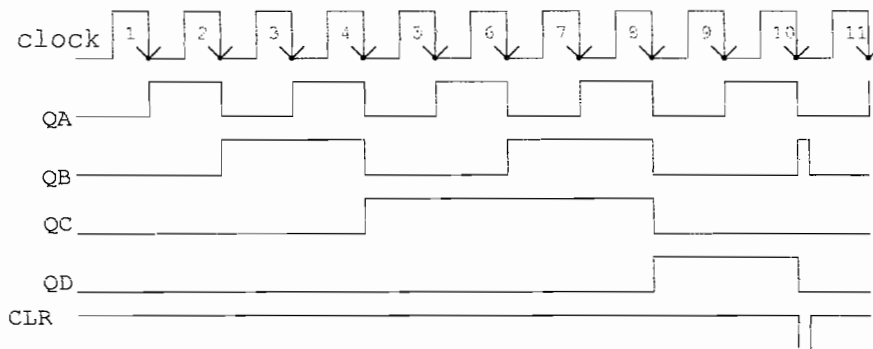
2.2.6. Pencacah Tak Serempak Modulus 10

Pencacah tak serempak modulus 10 akan menghasilkan cacahan dari 0 sampai 9. Pencacah ini pada perancangan jam digital yang dilengkapi kalender akan berfungsi sebagai tampilan satuan detik, satuan menit, satuan tanggal, satuan bulan, satuan tahun, dan puluhan tahun. Pencacah tak serempak modulus 10 dirancang dengan menggunakan empat buah JK Flip-flop dan gerbang NAND empat masukan. Modulus 10 memiliki prinsip kerja seperti dengan pencacah tak serempak modulus 4. Gambar 2.12. merupakan gambar pencacah tak serempak modulus 10. Untuk tabel eksitasi dan transisi dari pencacah tak serempak modulus 10 diperlihatkan pada tabel 2.6. Pencacah tak serempak modulus 10 mereset keadaan 1010 ke keadaan 0000 dalam waktu yang singkat. Pulsa ke-9 menghasilkan keluaran QA bernilai 1, QB bernilai 0, QC bernilai 0, dan QD bernilai 1 yaitu cacahan 9. Ketika pulsa ke-10 bekerja keadaan sesaat menghasilkan cacahan 1010 dengan keluaran dihubungkan dengan input gerbang NAND akan mereset cacahan menjadi 0000.

Bentuk gelombang dari pencacah modulus 10 dapat dilihat pada gambar 2.13.



Gambar 2.12. Pencacah tak serempak modulus 10.



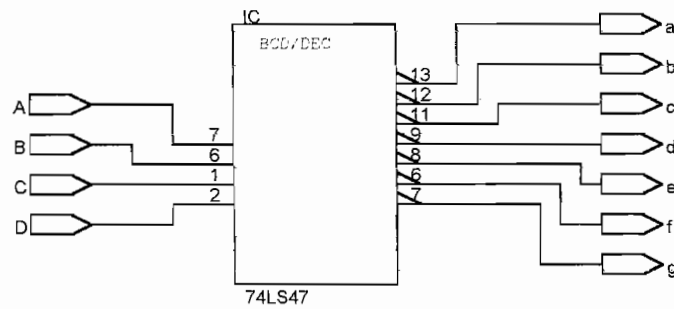
Gambar 2.13. Bentuk gelombang keluaran pencacah tak serempak modulus 10.

Tabel 2.6. Tabel eksitasi dan transisi pencacah tak serempak modulus 10

EKSITASI				TRANSISI				
				CLOCK		CLR	OUTPUT	Cacahan
D	C	B	A	↓	↑		DCBA	
0	0	0	0	0000	0001	1	0000	0
0	0	0	1	0010	0011	1	0001	1
0	0	1	0	0100	0101	1	0010	2
0	0	1	1	0110	0111	1	0011	3
0	1	0	0	1000	1001	1	0100	4
0	1	0	1	1010	1011	1	0101	5
0	1	1	0	1100	1101	1	0110	6
0	1	1	1	1110	1111	1	0111	7
1	0	0	0	0000	0001	1	1000	8
1	0	0	1	0010	0011	1	1001	9
1	0	1	0	0100	0101	0	0000	0

2.3. Dekoder BCD ke Tujuh Segmen

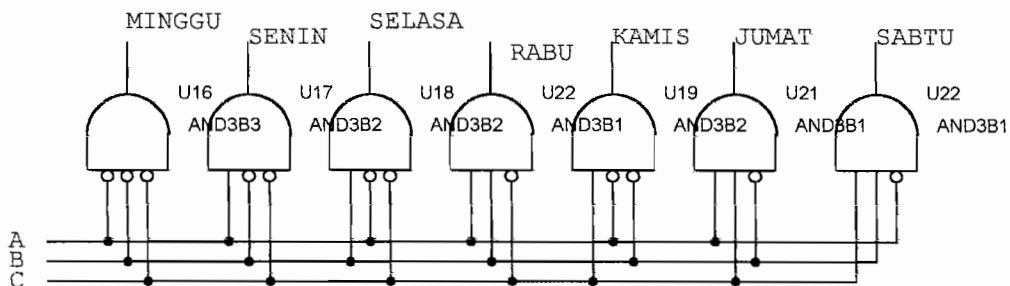
Fungsi dari suatu decoder BCD ke tujuh segmen sebagai pengawas sandi bilangan BCD yang akan ditampilkan pada penampil 7 segmen. Masukan BCD dari pencacah jam digital yang dilengkapi kalender berupa data 4 bit dan keluaran akan dihubungkan pada unit penampil tujuh segmen. Pada perancangan jam digital yang dilengkapi kalender ini membutuhkan 12 buah decoder BCD ke 7 segmen. Gambar 2.14. merupakan gambar dekoder BCD ke 7 segmen.



Gambar 2.14. Dekoder BCD ke 7 segmen

2.4. Dekoder BCD ke Desimal

Dekoder biner ke oktal dari 3 ke 7 adalah sebuah fungsi logika pada perancangan kalender digital yang berguna untuk mengatur tampilan hari. Tampilan hari memiliki 7 keadaan dari hari Minggu sampai hari Sabtu. Dari 7 keadaan yang aktif satu-persatu berurutan. Gambar 2.15. memperlihatkan dekoder BCD ke Desimal.



Gambar 2.15. Dekoder BCD ke Desimal.

2.5. Multiplexer 12 ke 1

Multiplexer adalah sebuah piranti yang berfungsi sebagai pemberi informasi data dari berbagai sumber informasi data. Bagian utama dari multiplexer adalah masukan yang terdiri atas sumber-sumber data dan pemilih

data yang berfungsi untuk mengatur data yang dikeluarkan. Keluaran multiplexer bernilai 0 dan 1. Keluaran tinggi pada multiplexer berfungsi untuk meriset pencacah tanggal. Multiplexer yang dirancang adalah multiplexer 12 ke 1. Masukan multiplexert diambil dari pencacah bulan, tahun, dan tanggal. Pada bulan 1, 3, 5, 7, 8, 10, 12 pencacah tanggal menjadi pencacah tak serempak modulus 31, dengan nilai awal 1 dan akhir 31. Pada bulan 4, 6, 9, 11 pencacah tanggal menjadi pencacah tak serempak modulus 30. Pada bulan ke-2 mempunyai 2 kemungkinan pada tahun keempat menjadi pencacah tak serempak modulus 29 dan selain itu menjadi pencacah tak serempak modulus 28. Gambar 2.16. memperlihatkan multiplexer 12 ke 1. Untuk tabel transisi dari multiplexer diperlihatkan pada tabel 2.7. Perancangan dan aritmatika multiplexer 12 ke 1 menggunakan peta karnaugh.

Data tahun kabisat = [04, 08, 20, 24, 28, 40, 44, 48, 60, 64, 68, 80, 84, 88, 00]
dan [12, 16, 32, 36, 52, 56, 72, 76, 92, 96]

Puluhan					Satuan				
DC\BA	00	01	11	10	DC\BA	00	01	11	10
00	0	1	3	2	00	0	1	3	2
01	4	5	7	6	01	4	5	7	6
11	x	x	x	x	11	X	x	x	x
10	8	9	x	x	10	8	9	x	x

Fungsi perkalian minimal $f = \Sigma [\overline{A_p B_s A_s} + A_p \overline{B_s A_s}]$

	A_p	B_p	D_s	C_s	B_s	A_s
29	1	0	1	0	0	1
30	1	0	1	0	1	0
31	1	1	0	0	0	1
32	1	1	0	0	1	0

Data tanggal = [29 + 30 + 31 + 32]

fungsi = [$B_P D_S A_S + B_P D_S B_S + B_P A_P A_S + B_P A_P B_S$]

Puluhan

DC\BA	00	01	11	10
00	0	1	x	x
01	x	x	x	x
11	x	x	x	x
10	x	x	x	x

Satuan

DC\BA	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	x	x	x	x
10	8	9	x	x

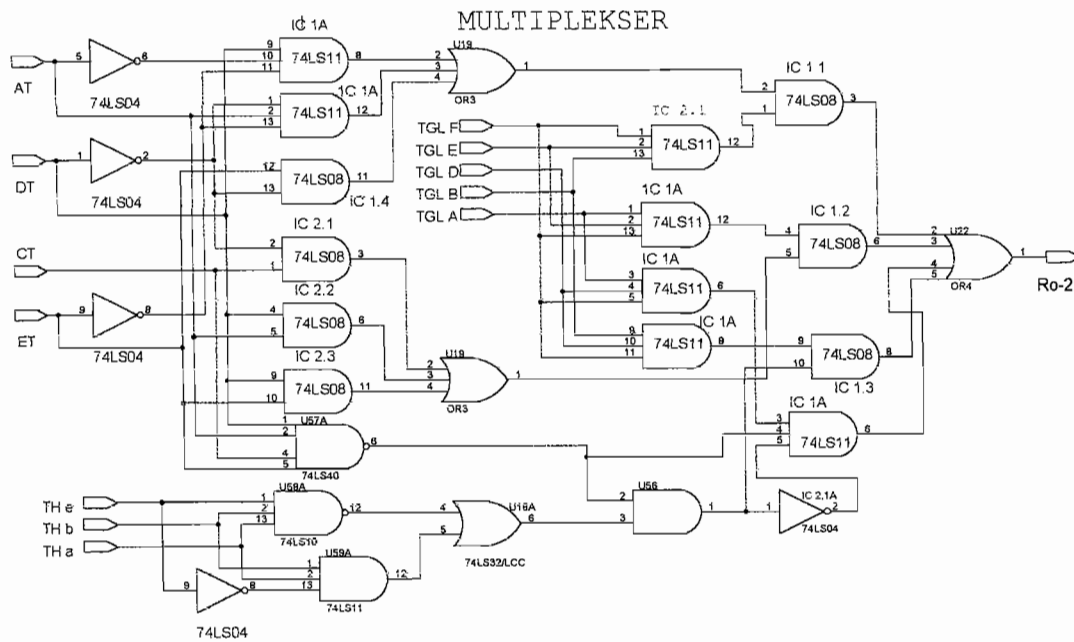
DC\BA	00	01	11	10
00	0	1	x	2
01	4	x	x	x
11	x	x	x	x
10	8	9	x	x

Data bulan = [01, 13, 05, 07, 08, 10, 12] [02] [04, 06, 09, 11]

Fungsi = [$(\overline{A_P} \overline{D_S} A_S) + (\overline{A_P} D_S \overline{A_S}) + (A_P A_S) + \overline{A_P} D_S C_S A_S [C_S A_S + D_S A_S + A_P A_S]$]

Tabel 2.7. Tabel eksitasi dan transisi multiplekser

BULAN		TANGGAL		TAHUN		KELUARAN
D	EDCBA	D	FEDCBA	EB	EBA	
1	00001	32	110010	xx	xxx	1
2	00010	29	101001	10	1xx	1
2	00010	30	101010	11	000	1
3	00011	32	110010	xx	xx	1
4	00100	31	110001	xx	xx	1
5	00101	32	110010	xx	xx	1
6	00110	31	110001	xx	xx	1
7	00111	32	110010	xx	xx	1
8	01000	32	110010	xx	xx	1
9	01001	31	110001	xx	xx	1
10	10000	32	110010	xx	xx	1
11	10001	31	110001	xx	xx	1
12	10010	32	110010	xx	xx	1



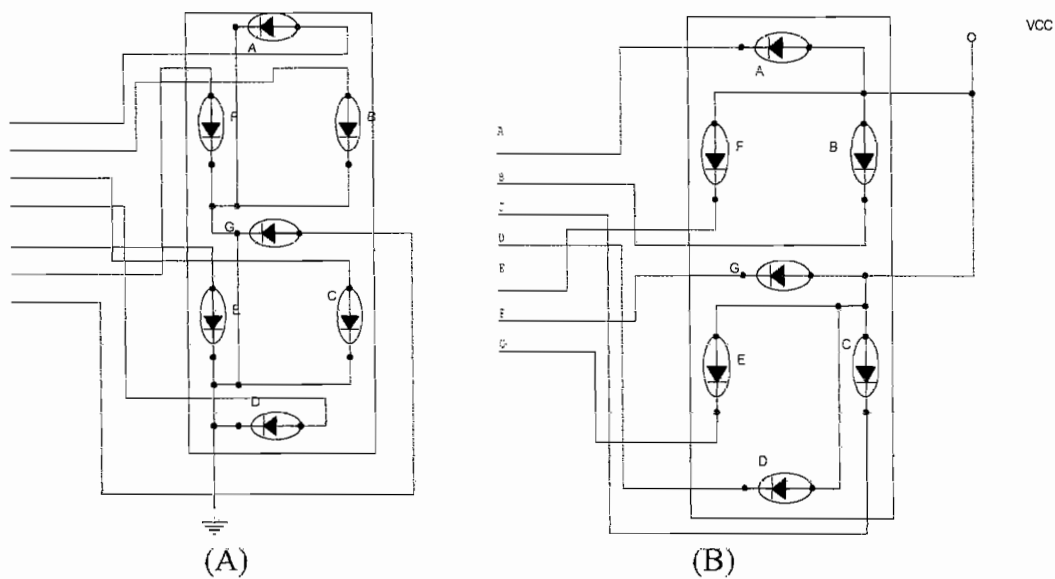
Gambar 2.16. Multiplexer 12 ke 1.

2.6. Penampil Tujuh Segmen

Salah satu bentuk tampilan digital adalah penampil tujuh segmen, yang terdiri atas tujuh ruas LED. Jenis penampil ini ada 2 yaitu : Common anoda dan common katoda. Kecemerlangan segmen tergantung arusnya. Idealnya 10 mA dan tegangannya 2.7 V. Untuk menjaga keawetannya segmen diperlukan pembagi tegangan dan pembatas arus. Pembatas arus yang digunakan resistor sebesar R. Besarnya resistor diperoleh dari rumus 2.2.

$$R = \frac{(V_{CC} - V_{LED})}{I_{LED}} \dots\dots\dots(2.2)$$

Gambar dari penampil tujuh segmen dapat dilihat pada gambar 2.17.



Gambar 2.17. Gambar (A) Penampil tujuh segmen common katoda.

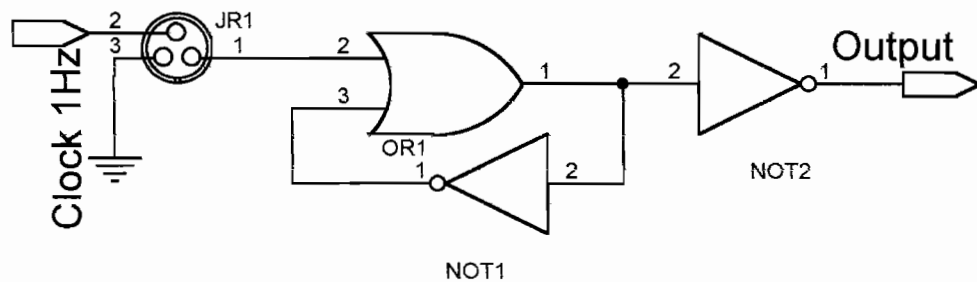
Gambar (B) Penampil tujuh segmen common anoda

2.7. Penampil Light Emitting Diode (LED)

LED adalah dioda yang bisa memancarkan cahaya. LED mempunyai penurunan tegangan dari 1,5 V sampai 2,5 V untuk arus antara 10 mA sampai 150 mA. Arus dan tegangan nominal LED adalah 10 mA dan 2 Volt. LED dapat memancarkan warna yang berbeda tergantung bahan yang digunakan untuk membuatnya. Bahan-bahan yang bisa digunakan untuk membuat LED seperti galium, arsen, dan fosfor. Pada perancangan jam digital yang dilengkapi kalender memerlukan 1 LED merah dan 7 LED kuning. Supaya LED menjadi awet maka harus diperhatikan arus dan tegangannya. Untuk menentukan besarnya R diperoleh dengan rumus 2.2. Dengan memperhatikan karakteristik LED kita bisa merancang kuat lemah cahaya yang dihasilkan LED dengan mengubah besarnya R , semakin besar R semakin terang.

2.8. Rangkaian De Bouncing

Rangkaian de bouncing adalah rangkaian penghilang pulsa ambang yang ditimbulkan oleh saklar. Saklar berfungsi sebagai pemutus dan penghubung pulsa dari osilator. Jeda waktu on dan off saklar akan menimbulkan nilai ambang pada pulsa dan menimbulkan bouncing. Rangkaian digital jika masukannya bernilai ambang akan menimbulkan bouncing yang mengakibatkan counter mengacak tidak sesuai dengan yang diinginkan. Untuk mengatasi pengaruh bouncing maka diperlukan rangkaian de bouncing. Rangkaian de bouncing terdiri dari satu gerbang OR dan dua gerbang NOT. Untuk lebih jelas bisa dilihat pada gambar 2.18. dibawah ini.



Gambar 2.18. Gambar rangkaian de bouncing

BAB III

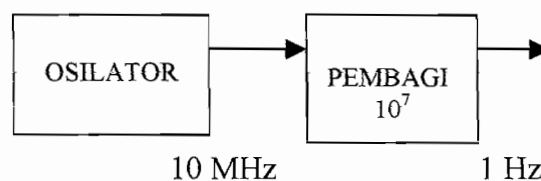
RANCANGAN PENELITIAN

3. Perancangan Jam Digital yang Dilengkapi Kalender dengan Perangkat Keras

Perancangan jam digital yang dilengkapi kalender semuanya menggunakan perangkat keras. Pada perancangan ini penampil dirancang dipisah dengan rangkaian pencacahnya. BCD ke 7 segmen dijadikan satu dengan penampil. Counter dengan osilator dibuat terpisah untuk mempermudah pengecekan jika ada kesalahan. Untuk lebih jelas bisa dilihat pada gambar 2.1. diagram kotak jam digital yang dilengkapi kalender pada halaman 5.

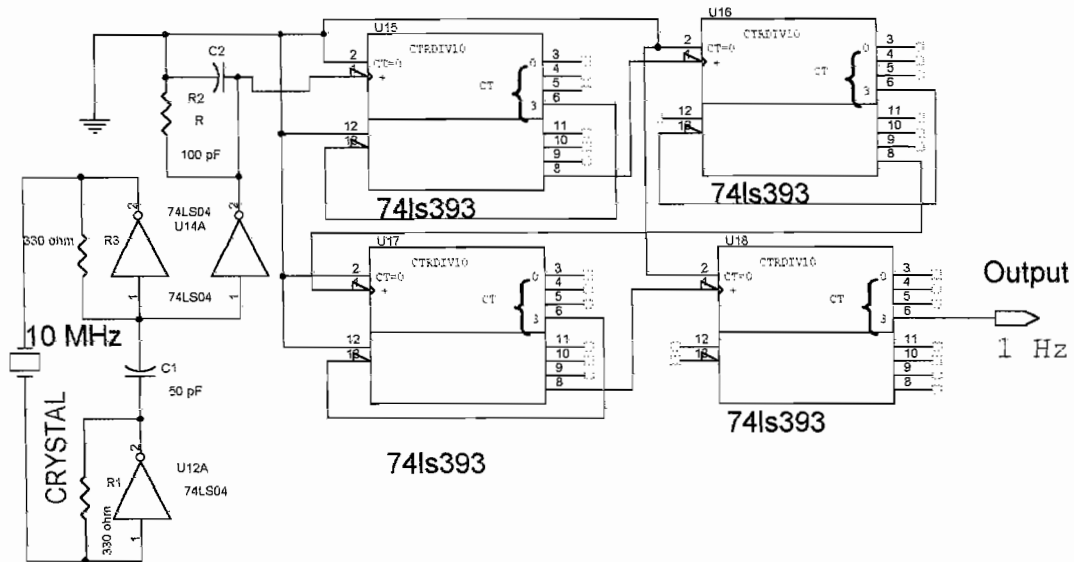
3.1. Osilator

Osilator adalah rangkaian yang dapat mengeluarkan pulsa dengan nilai tegangan dan frekuensi tertentu. Perancangan jam digital membutuhkan frekuensi 1 Hz, sebagai pencacah detik. Osilator mempunyai frekuensi keluaran 10 MHz. Untuk mengubah frekuensi menjadi 1 Hz maka ditambahkan fungsi logika pembagi 10^7 menjadi 1 Hz. Fungsi logika pembagi menggunakan IC 74LS393. Untuk lebih jelas lihat diagram di bawah ini.



Gambar 3.1. Gambar Diagram blok pembagi frekuensi.

Frekuensi untuk clock diperoleh dari osilator dengan keluaran 10 MHz. Osilator dengan pembagi gelombang kotak ditunjukkan pada gambar 3.2. di bawah ini.

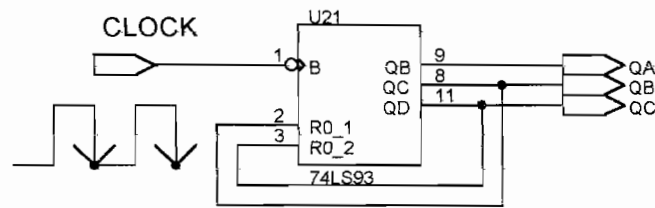


Gambar 3.2. Gambar Rangkaian lonceng TTL dan pembagi frekuensi.

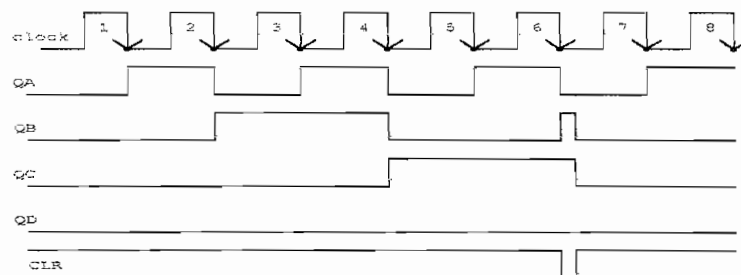
3.2. Pencacah Tak Serempak Modulus 6

Pencacah tak serempak modulus 6 akan menghasilkan cacahan 0,1,2,3,4,5. Pada perancangan jam digital pencacah ini akan berfungsi sebagai tampilan puluhan detik dan puluhan menit. Pencacah tak serempak modulus 6 mempunyai keluaran 4 bit. Counter yang digunakan IC 74LS93. Counter tipe ini memiliki 16 keadaan yang bisa diatur melalui $R_{0(1)}$ dan $R_{0(2)}$. Gambar 3.3. merupakan gambar pencacah tak serempak modulus 6. Gambar 3.4. merupakan bentuk gelombang keluaran dari pencacah tak serempak modulus 6. Untuk tabel eksitasi dan transisi dari pencacah tak serempak modulus 6 diperlihatkan pada tabel 3.1.





Gambar 3.3. Gambar Pencacah tak serempak modulus 6



Gambar 3.4. Bentuk gelombang keluaran pencacah tak serempak modulus 6.

Tabel 3.1. Tabel eksitasi dan transisi pencacah tak serempak modulus 6

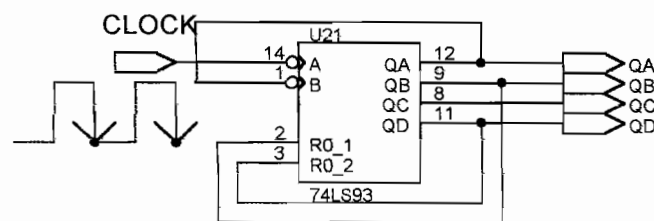
EKSITASI			TRANSISI					
C	B	A	CLOCK		CLR		OUTPUT CBA	Cacahan
			↓	↑	R ₀₍₁₎	R ₀₍₂₎		
0	0	0	000	001	0	0	000	0
0	0	1	010	011	0	0	001	1
0	1	0	100	101	1	0	010	2
0	1	1	110	111	1	0	011	3
1	0	0	000	001	0	1	100	4
1	0	1	010	011	0	1	101	5
1	1	0	100	101	1	1	000	0

Pencacah tak serempak modulus 6 terdiri dari satu IC 7493 yang di dalamnya terdiri dari 4 buah flip-flop dan gerbang NAND. Masukan IC 7493 ada 4 dan keluaran ada 4. Masukan A dan B adalah clock, A untuk clock flip-flop QA, dan B untuk clock flip-flop QB. Masukan R₀₍₁₎ dan R₀₍₂₎ untuk masukan reset. Reset berfungsi jika R₀₍₁₎ dan R₀₍₂₎ bernilai 1 untuk kondisi lainnya tidak mereset. Untuk keadaan keluaran setelah R₀₍₁₎ dan R₀₍₂₎ bernilai 1 menjadi 0000.

Untuk pencacah serempak modulus 6, flip-flop A tidak digunakan. Saat QC dan QD bernilai 1 maka reset aktif (saat keadaan 110 reset aktif).

3.3. Pencacah Tak Serempak Modulus 10

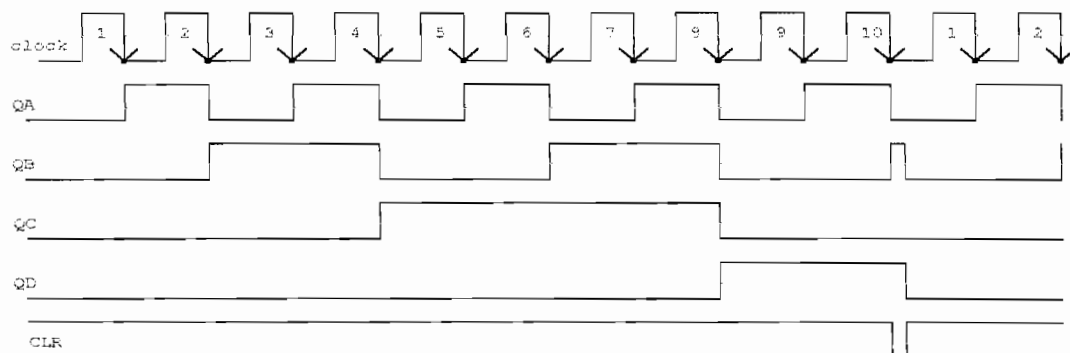
Pencacah tak serempak modulus 10 akan menghasilkan cacahan dari 0 sampai 9. Pencacah ini pada perancangan jam digital yang dilengkapi kalender akan berfungsi sebagai tampilan satuan detik, satuan menit, satuan tahun, dan puluhan tahun. Pencacah tak serempak modulus 10 dirancang dengan menggunakan IC 74LS93 memiliki prinsip kerja sama dengan pencacah tak serempak modulus 6. Pencacah tak serempak modulus 10 terdiri dari satu IC 74LS93. Gambar 3.5. merupakan gambar pencacah tak serempak modulus 10 dengan menggunakan IC 74LS93.



Gambar 3.5. Gambar Pencacah tak serempak modulus 10.

Pencacah tak serempak modulus 10 mereset keadaan 1010 ke keadaan 0000 dalam waktu yang singkat. Pulsa ke-9 menghasilkan keluaran QA bernilai 1, QB bernilai 0, QC bernilai 0, dan QD bernilai 1 yaitu cacahan 9. Ketika pulsa ke-10 bekerja keadaan sesaat menghasilkan cacahan 1010 dengan keluaran QC dan QD dihubungkan dengan $R_{0(1)}$ dan $R_{0(2)}$ akan mereset cacahan menjadi 0000. Bentuk gelombang keluaran dari pencacah tak modulus modulus 10 dapat dilihat

pada gambar 3.6. Untuk tabel eksitasi dan transisi pencacah tak serempak modulus 10 diperlihatkan pada tabel 3.2.



Gambar 3.6. Bentuk gelombang keluaran pencacah tak serempak modulus 10.

Tabel 3.2. Tabel eksitasi dan transisi pencacah tak serempak modulus 10

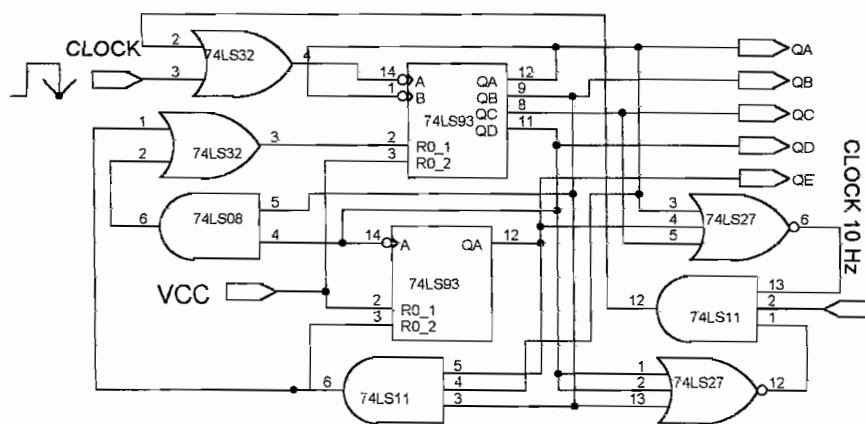
EKSITASI				TRANSISI					
D	C	B	A	CLOCK		CLR		OUTPUT	Cacahan
				↓	↑	R ₀₍₁₎	R ₀₍₂₎	DCBA	
0	0	0	0	0000	0001	0	0	0000	0
0	0	0	1	0010	0011	0	0	0001	1
0	0	1	0	0100	0101	1	0	0010	2
0	0	1	1	0110	0111	1	0	0011	3
0	1	0	0	1000	1001	0	0	0100	4
0	1	0	1	1010	1011	0	0	0101	5
0	1	1	0	1100	1101	1	0	0110	6
0	1	1	1	1110	1111	1	0	0111	7
1	0	0	0	0000	0001	0	1	1000	8
1	0	0	1	0010	0011	0	1	1001	9
1	0	1	0	0100	0101	1	1	0000	0

3.4. Pencacah Tak Serempak Modulus 12

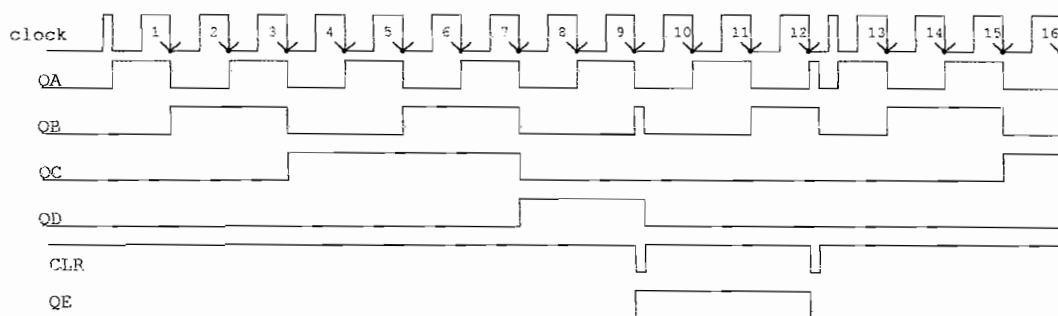
Pencacah tak serempak modulus 12 akan menghasilkan cacahan dari 0000 sampai 1100. Pencacah tak serempak modulus 12 dirancang sebagai pencacah bulan. Tampilan pencacah bulan mengpergunakan bilangan desimal. Bilangan 12 terdiri dari puluhan dan satuan. Nilai puluhan mencacah dari 0 sampai 1. Nilai

satua mencacah dari 0 sampai 9 dan dari 0 sampai 2. Pencacah bulan dibangun dengan memperoleh pencacah tak serempak modulus 10, modulus 3, dan modulus 2. Cacahan bulan dimulai dari 01 sampai 12, ketika pulsa akan memicu pencacah 13, pencacah direset menjadi 01. Pencacah ini dirancang dengan 1 IC 74LS32, 1 IC 74LS08, 1 IC 74LS27, 1 IC 74LS11 dan 2 IC 74LS93.

Pencacah bulan mereset keadaan 13 menjadi 01 (00001) dalam waktu yang relatif singkat. Pulsa yang ke-12 akan menghasilkan keluaran QA, QC, QD rendah (0) dan keluaran QB, QE tinggi (1). Keluaran QB bernilai satuan, keluaran QE bernilai puluhan. Gambar 3.7. merupakan gambar pencacah bulan. Gambar 3.8. merupakan bentuk gelombang keluaran dari pencacah bulan. Untuk tabel eksitasi dan transisi pencacah bulan diperlihatkan pada tabel 3.3.



Gambar 3.7. Gambar Pencacah tak serempak modulus 12.



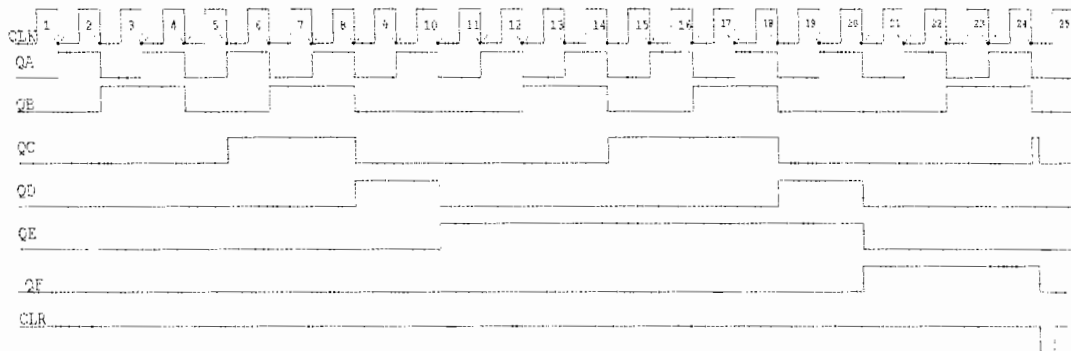
Gambar 3.8. Bentuk gelombang keluaran pencacah tak serempak modulus 12.

Tabel 3.3. Tabel eksitasi dan transisi pencacah tak serempak modulus 12

EKSITASI					TRANSISI							
					CLOCK		CLR			OUTPUT		Cacahan
E	D	C	B	A	↓	↑	R ₀₍₂₎ P	R ₀₍₁₎	R ₀₍₂₎ S	P	S	
0	0	0	0	0	00000	00001	0	1	0	0	0000	0
0	0	0	0	1	00010	00011	0	1	0	0	0001	1
0	0	0	1	0	00100	00101	0	1	0	0	0010	2
0	0	0	1	1	00110	00111	0	1	0	0	0011	3
0	0	1	0	0	01000	01001	0	1	0	0	0100	4
0	0	1	0	1	01010	01011	0	1	0	0	0101	5
0	0	1	1	0	01100	01101	0	1	0	0	0110	6
0	0	1	1	1	01110	01111	0	1	0	0	0111	7
0	1	0	0	0	10000	10001	0	1	0	0	1000	8
0	1	0	0	1	10010	10011	0	1	0	0	1001	9
1	0	0	0	0	00100	00101	1	1	1	1	0000	10
1	0	0	0	1	00010	00011	1	1	0	1	0001	11
1	0	0	1	0	00100	00101	1	1	0	1	0010	12
1	0	0	1	1	00110	00111	1	1	1	0	0000	0

3.5. Pencacah Tak Serempak Modulus 24

Pencacah tak serempak modulus 24 akan menghasilkan cacahan dari 00000 sampai 11000. Pencacah tak serempak modulus 24 dirancang sebagai pencacah jam. Tampilan pencacah jam mengpergunakan bilangan desimal. Bilangan 24 terdiri dari puluhan dan satuan. Nilai puluhan mencacah dari 0 sampai 2. Nilai satuan mencacah dari 0 sampai 9 dan dari 0 sampai 3. Pencacah jam dirancang dengan mempergunakan pencacah tak serempak modulus 10, modulus 4, dan modulus 3. Cacahan dimulai dari 00 sampai 23 untuk bilangan desimal. Ketika pulsa akan memicu pencacah 24, pencacah kembali menjadi 00. Pencacah ini dirancang dengan 2 IC 74LS93, 1 IC 74LS08, dan 1 IC 74LS32. IC 74LS93 ke-2 berfungsi sebagai pencacah tak serempak modulus 3. Dengan



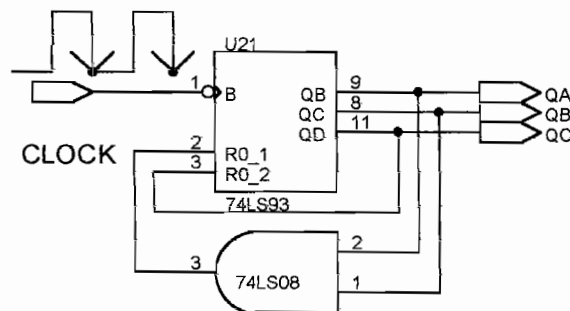
Gambar 3.10. Bentuk keluaran pencacah tak serempak modulus 24.

Tabel 3.4. Tabel eksitasi dan transisi pencacah tak serempak modulus 24.

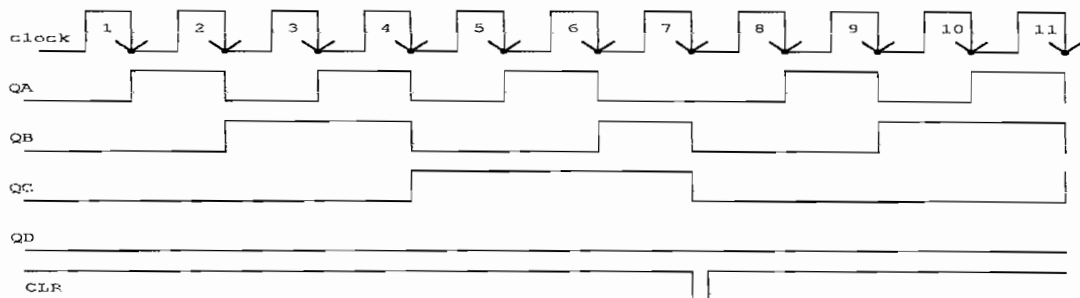
EKSITASI						TRANSISI						
F	E	D	C	B	A	CLOCK		CLR		OUTPUT		D
						↓	↑	R _{0(1)p}	R _{0(2)s}	P	S	
0	0	0	0	0	0	000000	000001	0	0	00	0000	0
0	0	0	0	0	1	000010	000011	0	0	00	0001	1
0	0	0	0	1	0	000100	000101	0	0	00	0010	2
0	0	0	0	1	1	000110	000111	0	0	00	0011	3
0	0	0	1	0	0	001000	001001	0	0	00	0100	4
0	0	0	1	0	1	001010	001011	0	0	00	0101	5
0	0	0	1	1	0	001100	001101	0	0	00	0110	6
0	0	0	1	1	1	001110	001111	0	0	00	0111	7
0	0	1	0	0	0	010000	010001	0	0	00	1000	8
0	0	1	0	0	1	010010	010011	0	0	00	1001	9
0	1	1	0	1	0	100100	100101	0	1	01	0000	10
0	1	0	0	0	1	100010	100011	0	0	01	0001	11
0	1	0	0	1	0	100100	100101	0	0	01	0010	12
0	1	0	0	1	1	100110	100111	0	0	01	0011	13
0	1	0	1	0	0	101000	101001	0	0	01	0100	14
0	1	0	1	0	1	101010	101011	0	0	01	0101	15
0	1	0	1	1	0	101100	101101	0	0	01	0110	16
0	1	0	1	1	1	101110	101111	0	0	01	0111	17
0	1	1	0	0	0	110000	110001	0	0	01	1000	18
0	1	1	0	0	1	110010	110011	0	0	01	1001	19
1	0	1	0	1	0	000000	000001	0	1	10	0000	20
1	0	0	0	0	1	000010	000011	0	0	10	0001	21
1	0	0	0	1	0	000100	000101	0	0	10	0010	22
1	0	0	0	1	1	000110	000111	1	1	10	0011	23
1	0	0	1	0	0	001000	001001	0	0	00	0000	0

3.6. Pencacah Tak Serempak Modulus 7

Pencacah tak serempak modulus 7 akan menghasilkan cacahan dari 0 sampai 6. Pencacah ini pada perancangan kalender digital akan berfungsi sebagai tampilan hari. Pencacah tak serempak modulus 7 yang dibangun memiliki prinsip kerja yang sama dengan pencacah tak serempak modulus 6. Pencacah tak serempak modulus 7 terdiri dari 1 IC 74LS93 dan 1 IC 74LS08. Gambar 3.11. memperlihatkan pencacah tak serempak modulus 7. Gambar 3.12. merupakan bentuk gelombang keluaran dari pencacah tak serempak modulus 7. Untuk tabel eksitasi dan transisi pencacah tak serempak modulus 7 diperlihatkan pada tabel 3.5.



Gambar 3.11. Pencacah tak serempak modulus 7.



Gambar 3.12. Bentuk keluaran pencacah tak serempak modulus 7.

Tabel 3.5. Tabel eksitasi dan transisi pencacah tak serempak modulus 7.

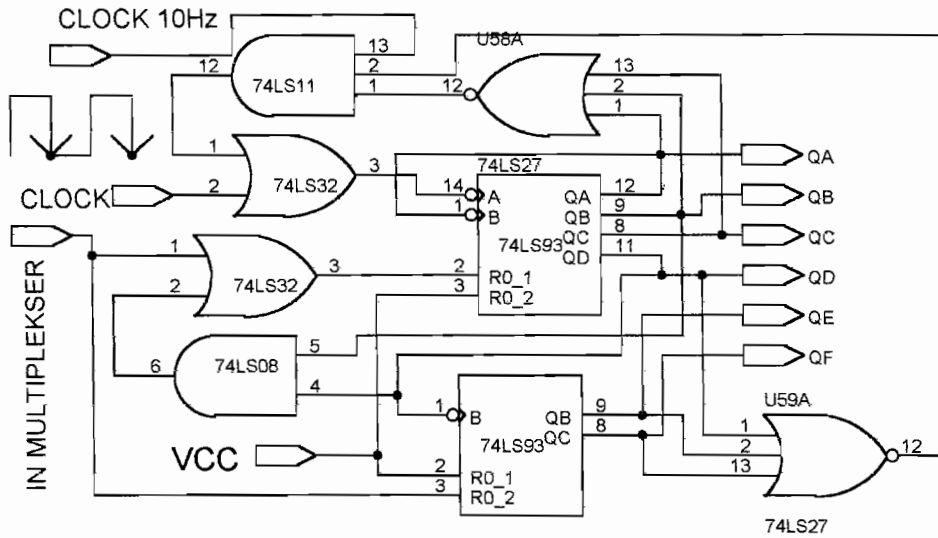
EKSITASI			TRANSISI							
C	B	A	CLOCK		CLR				OUTPUT	Cacahan
			↓	↑	N		R ₀₍₁₎	R ₀₍₂₎		
			x1	x2						
0	0	0	000	001	0	0	0	0	000	0
0	0	1	010	011	0	0	1	0	001	1
0	1	0	100	101	1	0	0	0	010	2
0	1	1	110	111	1	0	1	0	011	3
1	0	0	000	001	0	1	0	0	100	4
1	0	1	010	011	0	1	1	0	101	5
1	1	0	100	101	1	1	0	1	110	6
1	1	1	110	111	1	1	1	1	000	0

3.7. Pencacah Tak Serempak Modulus (28, 29, 30,31)

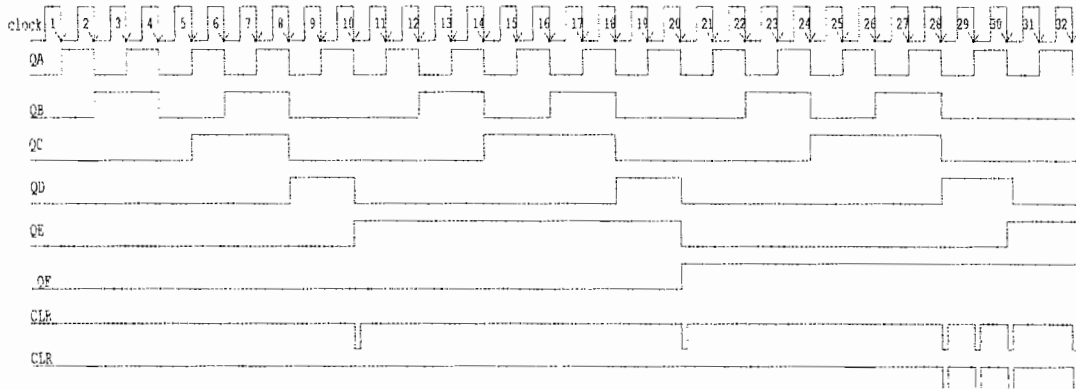
Pencacah ini berfungsi untuk pencacah tanggal. Untuk menghemat penggunaan counter maka dirancang pencacah tanggal. Pencacah tanggal dirancang dengan mempergunakan pencacah takserempak modulus 10, 9, 4 dan 3. Pencacah tanggal mempunyai 4 keadaan yang berbeda. Pada bulan 1, 3, 5, 7, 8, 10, 12 menjadi pencacah tak serempak modulus 31. Pada bulan 2 menjadi pencacah tak serempak modulus 28. Pada bulan 2 tahun ke 4 menjadi pencacah tak serempak modulus 29. Pada bulan 4, 6, 9, 11 menjadi pencacah tak serempak modulus 30. Pencacah ini terdiri dari 2 IC 74LS93 yang input R₀₍₁₎ dihubungkan ke Vcc dan R₀₍₂₎ dihubungkan ke keluaran multiplekser. Untuk lebih jelas bisa dilihat pada Gambar 3.13. Untuk tabel eksitasi dan transisi pencacah tak serempak modulus 31 diperlihatkan pada tabel 3.6. Gambar 3.14. merupakan bentuk gelombang keluaran dari pencacah tak serempak modulus (28,29,30,31)

Tabel 3.6. Tabel eksitasi dan transisi
pencacah tak serempak modulus (28,29,30,31)

EKSITASI			TRANSISI									
FEDCBA	CLOCK		CLR				OUTPUT				D	
	↓	↑	Ro ₍₁₎ p		Ro ₍₂₎ s		P		S		D	
000000	000000	000001	0	0	0	0	00	0	0000	0	0	0
000001	000010	000011	0	0	0	0	00	0	0001	0	1	1
000010	000100	000101	0	0	0	0	00	0	0010	0	2	2
000011	000110	000111	0	0	0	0	00	0	0011	0	3	3
000100	001000	001001	0	0	0	0	00	0	0100	0	4	4
000101	001010	001011	0	0	0	0	00	0	0101	0	5	5
000110	001100	001101	0	0	0	0	00	0	0110	0	6	6
000111	001110	001111	0	0	0	0	00	0	0111	0	7	7
001000	010000	010001	0	0	0	0	00	0	1000	0	8	8
001001	010010	010011	0	0	0	0	00	0	1001	0	9	9
010000	100100	100101	0	1	0	1	01	0	0000	0	10	10
010001	100010	100011	0	0	0	0	01	0	0001	0	11	11
010010	100100	100101	0	0	0	0	01	0	0010	0	12	12
010011	100110	100111	0	0	0	0	01	0	0011	0	13	13
010100	101000	101001	0	0	0	0	01	0	0100	0	14	14
010101	101010	101011	0	0	0	0	01	0	0101	0	15	15
010110	101100	101101	0	0	0	0	01	0	0110	0	16	16
010111	101110	101111	0	0	0	0	01	0	0111	0	17	17
011000	110000	110001	0	0	0	0	01	0	1000	0	18	18
011001	110010	110011	0	0	0	0	01	0	1001	0	19	19
011010	110100	110101	0	1	0	1	10	0	0000	0	20	20
100001	000010	000011	0	0	0	0	10	0	0001	0	21	21
100010	000100	000101	0	0	0	0	10	0	0010	0	22	22
100011	000110	000111	0	0	0	0	10	0	0011	0	23	23
100100	001000	001001	0	0	0	0	10	0	0100	0	24	24
100101	001010	001011	0	0	0	0	10	0	0101	0	25	25
100110	001100	001101	0	0	0	0	10	0	0110	0	26	26
100111	001110	001111	0	0	0	0	10	0	0111	0	27	27
101000	010000	010001	0	0	0	0	10	0	1000	0	28	28
101001	010010	010011	0	1	0	1	10	0	1001	0	29	0
110000	100000	100001	0	1	0	1	11	0	0000	0	30	0
110001	100010	100011	0	1	0	1	11	0	0001	0	31	0
110010	100100	100101	1	1	1	1	00	0	0000	0	0	0



Gambar 3.13. Pencacah tak serempak modulus (28, 29, 30,31)

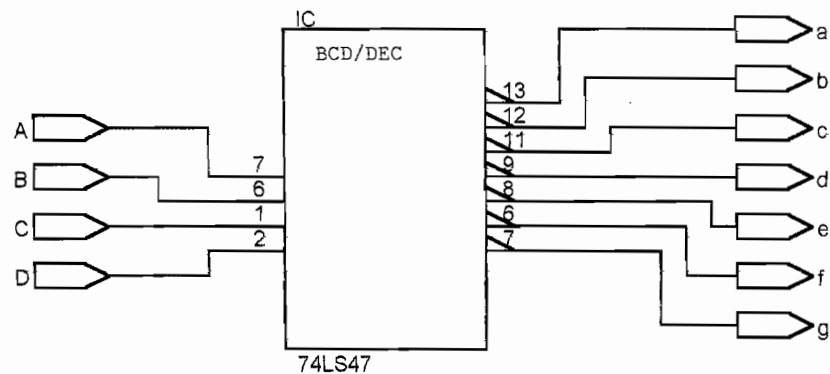


Gambar 3.14. Bentuk keluaran pencacah tak serempak modulus (28, 29, 30,31).

3.8. Dekoder BCD ke Tujuh Segmen

Fungsi dari suatu decoder BCD ke tujuh segmen sebagai pengawas sandi bilangan BCD yang akan ditampilkan pada penampil tujuh segmen. Masukan BCD dari pencacah jam digital yang dilengkapi kalender berupa data 4 bit dan keluaran akan dihubungkan pada unit penampil tujuh segmen. Pada perancangan

jam digital yang dilengkapi kalender ini membutuhkan 12 buah decoder BCD ke tujuh segmen. Gambar 3.15. merupakan gambar dekoder BCD ke tujuh segmen.

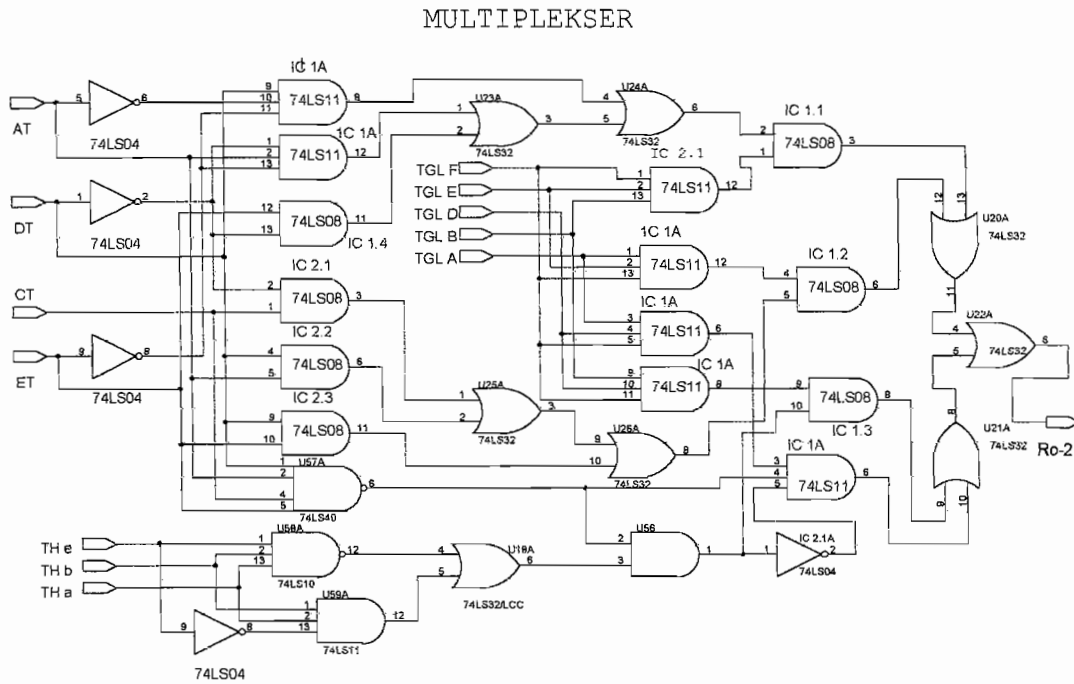


Gambar 3.15. Dekoder BCD ke tujuh segmen.

3.9. Multiplexer 12 ke 1

Multiplexer adalah sebuah piranti yang berfungsi sebagai pemberi informasi data dari berbagai sumber informasi data. Bagian utama dari multiplexer adalah masukan yang terdiri atas sumber-sumber data dan pemilih data yang berfungsi untuk mengatur data yang dikeluarkan. Keluaran multiplexer berupa salah satu data dari sumber-sumber data tersebut. Multiplexer yang dirancang adalah multiplexer 12 ke 1. Masukan berasal dari pencacah bulan, tahun, dan tanggal. Keluaran dari multiplexer ini berfungsi untuk mereset pencacah tak serempak modulus (28,29,30,31). Pada bulan 1, 3, 5, 7, 8,10, dan 12 pencacah menjadi pencacah tak serempak modulus 31, dengan nilai awal 1 dan akhir 31. Pada bulan 4, 6, 9, dan 11 pencacah tanggal menjadi pencacah tak serempak modulus 30. Pada bulan ke-2 mempunyai 2 kemungkinan pada tahun keempat menjadi pencacah tak serempak modulus 29 dan selain itu menjadi

pencacah tak serempak modulus 28. Multiplexer ini terdiri 1 IC 74LS04, 3 IC 74LS11, 2 IC 74LS08, 2 IC 74LS32, dan 1 IC 74LS27. Gambar 3.16. memperlihatkan multiplexer 11 ke 1. Sistem kerja dari multiplexer dapat dilihat pada tabel 3.7. Tabel transisi multiplexer.



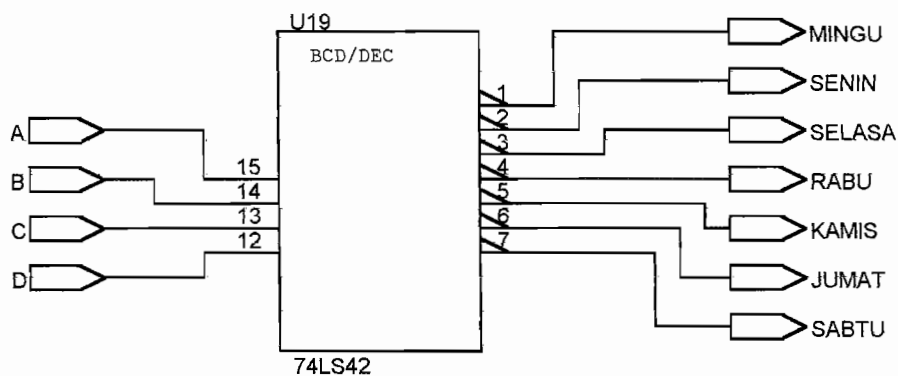
Gambar 3.16. Multiplexer 12 ke 1

Tabel 3.7. Tabel eksitasi dan transisi multiplexer

BULAN		TANGGAL		TAHUN		KELUARAN
D	EDCBA	D	FEDCBA	EB	EBA	
1	00001	32	110010	xx	xxx	1
2	00010	29	101001	10	10x	1
2	00010	30	101010	11	000	1
3	00011	32	110010	xx	xx	1
4	00100	31	110001	xx	xx	1
5	00101	32	110010	xx	xx	1
6	00110	31	110001	xx	xx	1
7	00111	32	110010	xx	xx	1
8	01000	32	110010	xx	xx	1
9	01001	31	110001	xx	xx	1
10	10000	32	110010	xx	xx	1
11	10001	31	110001	xx	xx	1
12	10010	32	110010	xx	xx	1

3.10. Dekoder BCD ke Desimal

Dekoder biner ke oktal dari 3 ke 7 adalah sebuah fungsi logika, pada perancangan kalender digital berguna untuk mengatur tampilan hari. Tampilan hari memiliki 7 keadaan dari hari Minggu sampai hari Sabtu. Dari 7 keadaan yang aktif satu-persatu berurutan. Dekoder ini terbentuk dari IC 74LS42. Untuk lebih jelas bisa dilihat pada gambar 3.17. dibawah ini.

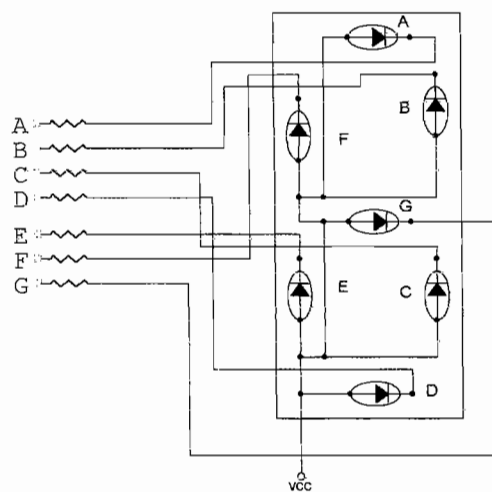


Gambar 3.17. Dekoder BCD ke desimal.

3.11. Penampil Tujuh Segmen

Salah satu bentuk tampilan digital adalah penampil tujuh segmen yang terdiri atas tujuh ruas LED. Jenis penampil ini ada 2 yaitu : common anoda dan common katoda. Pada perancangan ini menggunakan common anoda. Kecemerlangan segmen tergantung arusnya, idealnya 10 mA dan tegangannya 2,7 V. Untuk menjaga keawetan segmen diperlukan pembagi tegangan dan pembatas arus. Pembatas arus yang digunakan adalah resistor sebesar 270 Ω . Besarnya resistor diperoleh dari rumus 2.2. Gambar dari penampil tujuh segmen dapat

dilihat dari gambar 3.18. Besarnya resistor adalah 230Ω diperoleh dari $5 \text{ V} - 2,7 \text{ V} = 2,3 \text{ V}$. Diketahui arus yang digunakan 10 mA maka $R = 2,3 \text{ V} : 10 \text{ mA} = 230 \Omega$. Akan tetapi resistor yang ada di pasaran dan mendekati 230Ω adalah 220Ω dan 270Ω . Oleh karena itu, supaya segmen lebih aman mempergunakan resistor sebesar 270Ω .



Gambar 3.18. Penampil tujuh segmen common anoda.

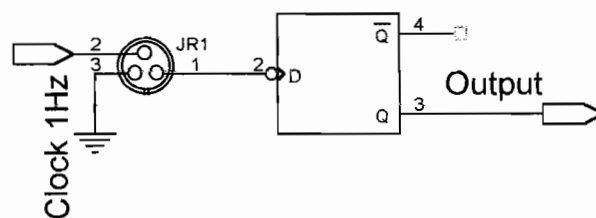
3.12. Penampil Light Emitting Diode (LED)

LED adalah dioda yang bisa memancarkan cahaya. LED mempunyai penurunan tegangan dari $1,5 \text{ V}$ sampai $2,5 \text{ V}$ untuk arus antara 10 mA sampai 150 mA . Arus dan tegangan nominal LED 10 mA dan 2 Volt . LED dapat memancarkan warna yang berbeda tergantung bahan yang digunakan untuk membuatnya. Bahan-bahan yang bisa digunakan untuk membuat LED seperti galium, arsen dan fosfor. Pada perancangan jam digital yang dilengkapi kalender memerlukan 1 LED merah dan 7 LED kuning. Supaya LED menjadi awet maka harus diperhatikan arus dan tegangan dari Vcc. Dari perancangan memiliki Vcc 5

V arus 10 mA maka R yang dibutuhkan sebesar 230Ω , diperoleh dari rumus 2. Maka resistor yang dipergunakan sama dengan resistor pada penampil 7 segmen, sebesar 270Ω .

3.13. Rangkaian De Bouncing Jam Digital yang Dilengkapi Kalender

Rangkaian de bouncing pada perancangan mempergunakan D Flip-Flop dan saklar. Rangkaian de bouncing berfungsi untuk menghilangkan nilai ambang yang diakibatkan oleh saklar. Rangkaian de bouncing ditunjukkan gambar 3.19 dibawah ini.



Gambar 3.19. Gambar rangkaian de bouncing

BAB IV

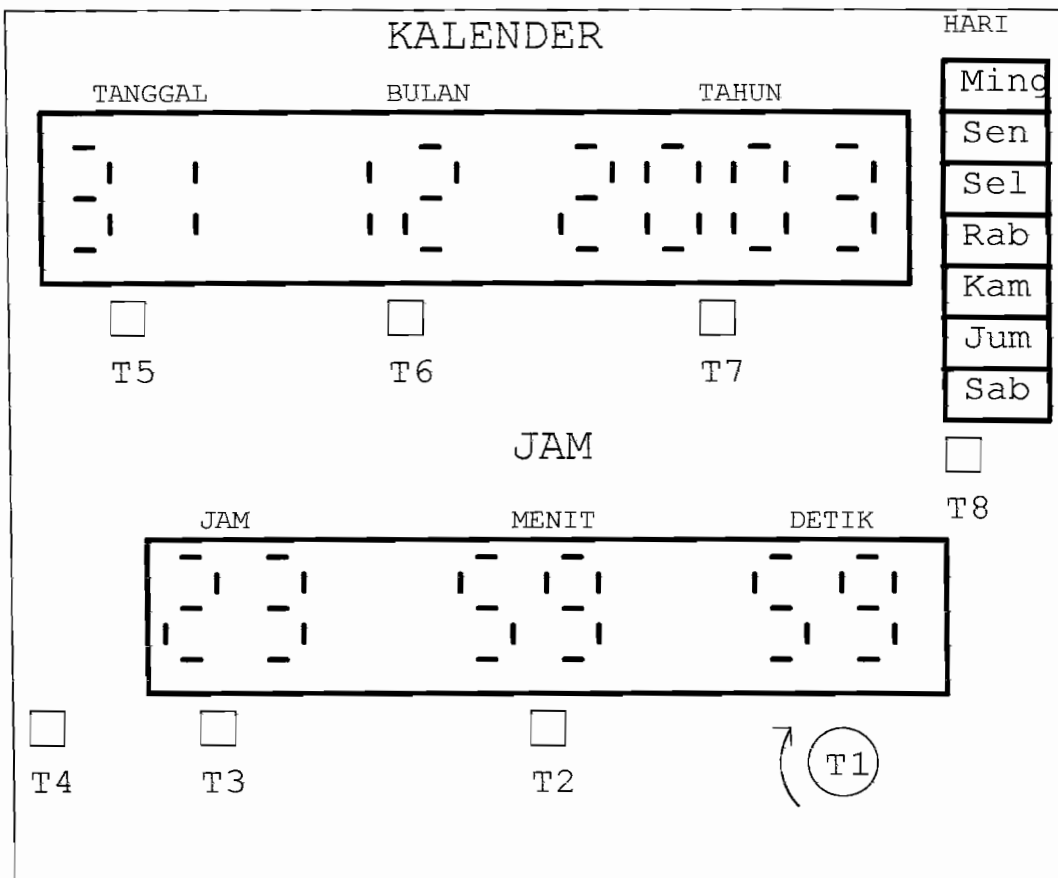
HASIL PENGAMATAN DAN PEMBAHASAN

Pada bab IV ini berisi tentang hasil pengamatan dan pembahasan dari perancangan jam digital yang dilengkapi kalender :

4.1. Sistem Pengoperasian Jam Digital yang Dilengkapi Kalender

Jam digital hasil perancangan memiliki tampilan seperti terlihat pada gambar 4.1 di bawah ini. Jam digital yang dilengkapi kalender terdiri dari 3 tampilan dan 7 tombol. Tampilan jam terdiri dari detik, menit, dan jam. Masing-masing penampil memiliki tombol input. Tombol T1 berfungsi untuk input clock yang mempunyai frekuensi 1Hz, 10 Hz, 100 Hz, 1000 Hz, 10000 Hz. Tombol T2 berfungsi untuk input detik. T3 berfungsi untuk input jam. T4 berfungsi untuk mempercepat dan memperlambat clock setiap tombol. Tampilan kalender terdiri dari tanggal, bulan, dan tahun. Setiap tampilan memiliki tombol input yang berfungsi untuk input clock dari luar. T5 berfungsi untuk input tanggal, T6 berfungsi untuk input bulan, dan T7 berfungsi untuk input tahun. Tampilan hari terdiri dari 7 buah LED sesuai jumlah hari yang ada. Tampilan hari dimulai dari atas ke bawah. Pada gambar 4.1. tampilan hari ditunjukkan oleh LED yang menyala di sebelah kiri nama hari. LED menyala tepat dibawah huruf pertama nama hari. Hari minggu diwakili huruf Ming, hari Senin diwakili dengan huruf Sen, hari Selasa diwakili dengan huruf Sel, hari Rabu diwakili huruf Rab, hari Kamis diwakili huruf Kam, hari Jumat diwakili huruf Jum, dan hari Sabtu

diwakili huruf Sab. Tampilan hari tersusun dari atas ke bawah terdiri dari huruf Ming, Sen, Sel, Rab, Kam, Jum, Sab. Tampilan hari mempunyai satu tombol input yaitu T8.



Gambar 4.1. Gambar jam digital yang dilengkapi kalender terlihat dari atas.

Cara mengeset jam digital yang dilengkapi kalender ini dimulai dari detik, menit, jam, tanggal, bulan, tahun, dan hari. Pengesetan harus dimulai dari waktu yang paling kecil karena jam digital yang dilengkapi kalender ini tidak mampu mencacah mundur. Jika jam perancangan lebih cepat dari jam referensi maka

dilengkapi kalender harus dimulai dari menit, jam, tanggal, bulan, tahun, dan hari. Setiap tombol jika tertekan maka counter akan mencacah maju dengan sendirinya maka harus berhati-hati dalam pengoperasiannya. Untuk mengeset cukup menekan tombol hingga tampilan sesuai yang diinginkan. Jika menginginkan clocknya lebih cepat tekan saja tombol T4 dan jika ingin lambat tekan lagi tombol T4. Jika mengeset jam ini juga harus memperhatikan frekuensi clocknya karena saat melepas tombol kurang cepat maka tampilan akan mengacak. Oleh karena itu jika jam sudah sesuai dengan yang diinginkan maka tombol harus segera dilepas.

4.2. Keakuratan Jam Digital Yang Dilengkapi Kalender

Keakuratan jam digital yang dilengkapi kalender ditentukan oleh keakuratan osilator. Keakuratan osilator ditentukan oleh kristal yang digunakan. Pada rangkaian ini osilator menggunakan kristal 10 MHz. Hasil pengukuran frekuensi osilator terhadap perubahan tegangan dapat dilihat pada tabel 4.1 di bawah ini. Dari tabel terlihat ada frekuensi yang semakin kecil bila tegangan mengalami penurunan, dan sebaliknya jika tegangan semakin besar frekuensi semakin naik. Batas bawah tegangan pada osilator 3,9 Volt masih mampu menghasilkan frekuensi yang stabil. Jika osilator diberi tegangan dibawah 3,9 Volt, frekuensi tidak stabil. Pulsa keluaran osilator dilewatkan melalui pembagi frekuensi 10 Mega. Dari hasil pembagi frekuensi diperoleh frekuensi 1 Hz yang dipergunakan sebagai pembangkit denyut jam. Waktu perambatan pada pembagi sangat kecil, sehingga bisa diabaikan.

Tabel 4.1. Hasil pengamatan frekuensi terhadap perubahan tegangan.

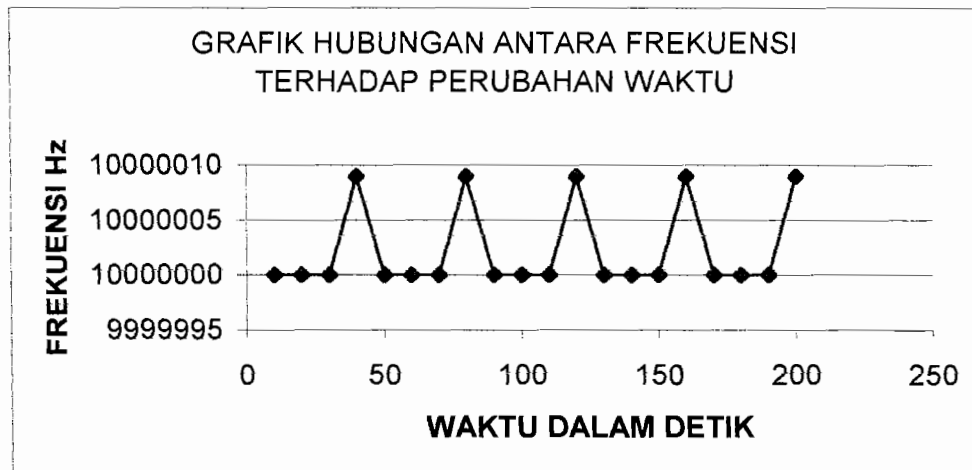
n	Tegangan V	Frekuensi MHz
1	5	10,000163
2	4,9	10,000088
3	4,8	10,000076
4	4,7	10,000018
5	4,6	10,000009
6	4,57	10,000000
7	4,54	9,999999
8	4,4	9,999998
9	4,3	9,999996
10	4,2	9,999995
11	4,1	9,999986
12	4	9,999983
13	3,9	9,999978
14	3,5	tidak stabil

Dari hasil pembagi frekuensi diperoleh data 1 Hz. Dari hasil pengukuran frekuensi osilator terhadap perubahan tegangan terjadi perubahan frekuensi. Dari hasil pengamatan perancang memilih frekuensi 10 MHz. Dengan mengatur tegangan menjadi 4,57 V sesuai dengan pengamatan.

Frekuensi dan tegangan sudah ditentukan sesuai dengan data yang paling baik. Dari frekuensi yang sudah ditentukan dilakukan pengamatan terhadap perubahan waktu. Hasil pengamatan frekuensi terhadap perubahan waktu terlihat pada tabel 4.2. di bawah ini.

Tabel 4.2. Hasil pengamatan frekuensi terhadap perubahan waktu.

Detik	Frekuensi Terukur
10	10,000000
20	10,000000
30	10,000000
40	10,000009
50	10,000000
60	10,000000
70	10,000000
80	10,000009
90	10,000000
100	10,000000
110	10,000000
120	10,000009
130	10,000000
140	10,000000
150	10,000000
160	10,000009
170	10,000000
180	10,000000
190	10,000000
200	10,000009



Gambar 4.2. Grafik hubungan antara perubahan waktu terhadap frekuensi.

Dari hasil pengamatan terhadap perubahan waktu terlihat ada perubahan frekuensi setiap 40 detik sebesar 9 Hz. Perubahan frekuensi tidak terlihat pada

keluaran pembagi frekuensi. Dari data diatas frekuensi mengalami perubahan pada angka terakhir. Untuk mempermudah perhitungan nilai rata-rata dihitung angka yang terakhir saja, dengan persamaan berikut ini:

$$\begin{aligned}\text{Nilai rata-rata Frekuensi} &= \Sigma \text{ Frekuensi} : \text{jumlah data} \\ &= 45 : 200 \\ &= 0,225 \text{ Hz}\end{aligned}$$

Nilai rata-rata frekuensi osilator sebesar 10.000.000,225 Hz

Untuk menghitung nilai error osilator diperoleh dari persamaan berikut ini :

$$\text{Nilai error} = (t_a - t_s) / t_s \times 100\% \quad t_a = t \text{ hasil pengamatan}$$

$$\text{Keakuratan} = [t_s - (t_a - t_s)] / t_s \times 100\% \quad t_s = t \text{ referensi}$$

$$\begin{aligned}\text{Nilai error} &= 10.000.000,225 - 10.000.000 : 10.000.000 \times 100 \% \\ &= 0,0000225 \%\end{aligned}$$

$$\begin{aligned}\text{Keakuratan} &= 10.000.000 - (10.000.000,225 - 10.000.000) : 10.000.000 \times 100 \% \\ &= 99,9999775 \%\end{aligned}$$

Data perhitungan dalam satuan detik berdasarkan referensi dan pengamatan.

Dari rumus 2.1 diperoleh $t = 1 / 1,000000225$

$$t = 0,999999775 \text{ detik}$$

Dari frekuensi yang terukur didapat $t = 0,999999775$ detik. Berdasarkan t diatas bisa dianalisa dalam hitungan jam, hari, bulan, dan tahun. Hitungan waktu dihitung dalam satuan detik baik jam, hari, bulan, dan, tahun. Dari hasil perhitungan jam bisa dikatakan akurat, karena selisih sangat kecil.

Hasil perhitungan waktu berdasarkan t analisa.

(t) referensi		(t) data	
1 jam	= 3600 detik	1 jam	= 3599,999921 detik
1 hari	= 86400 detik	1 hari	= 86399,99841 detik
1 bulan	= 259200 detik	1 bulan	= 259199,9943 detik
1 tahun	= 31557600 detik	1 tahun	= 31557599,31 detik

Data hasil pengamatan jam digital referensi dengan jam perancangan dapat dilihat pada tabel 4.3. dibawah ini. Referensi yang digunakan jam digital merek Casio tipe MQ – 1200 made in japan.

Tabel 4.3. Tabel hasil pengamatan jam digital yang dilengkapi kalender.

JAM	DATA REF	DATA PENGAMATAN
5	05 – 00 - 00	05 – 00 - 00
10	10 – 00 – 00	10 – 00 – 00
15	15 – 00 – 00	15 – 00 – 00
20	20 – 00 – 00	20 – 00 – 00
25	01 – 00 – 00	00 – 00 – 59
30	06 – 00 – 00	05 – 00 – 59
35	11 – 00 – 00	10 – 00 – 59
40	16 – 00 – 00	15 – 00 – 59
45	21 – 00 – 00	20 – 00 – 59
50	02 – 00 – 00	01 – 00 – 58
55	07 – 00 – 00	06 – 00 – 58
60	12 – 00 – 00	11 – 00 – 58

Dari hasil pengamatan diperoleh data jam perancangan mengalami keterlambatan dibandingkan dengan jam referensi. Jam perancangan terlambat 1 detik setelah 23 jam. Dalam satu bulan jam perancangan mengalami keterlambatan sebesar 31 detik. Dalam satu tahun terlambat 6 menit 18 detik. Setiap satu tahun jam digital

hasil perancangan harus direset ulang dengan menambah ± 6 menit. Tetapi jika catu daya dimatikan perlu mereset ulang baik dari menit, jam, tanggal, hari, bulan, dan tahun.

4.3. Data IC dan Komponen Jam digital yang Dilengkapi Kalender

Jam digital yang dilengkapi kalender dirancang menggunakan IC TTL.

Daftar IC TTL yang diperlukan:

IC 74LS47 = 12 buah	IC 74LS11 = 5 buah
IC 74LS93 = 13 buah	IC 74LS32 = 4 buah
IC 74LS390 = 3 buah	IC 74LS08 = 3 buah
IC 74LS04 = 2 buah	IC 74LS42 = 1 buah
IC 74LS27 = 3 buah	IC 74LS75 = 2 buah
Total IC yang dipergunakan = 48 buah	

Jam digital yang dilengkapi kalender merupakan pencatat waktu. Dalam satu tahun terbagi menjadi 12 bulan. Satu bulan terbagi menjadi 30 hari. Satu hari terbagi menjadi 24 jam. Satu jam terbagi menjadi 60 menit dan satu menit terbagi menjadi 60 detik. Pembagi waktu pada jam digital yang dilengkapi kalender mempergunakan JK Flip-flop. Banyaknya JK Flip-flop yang diperlukan 71 buah dan terbagi menjadi 3 bagian. Bagian osilator memerlukan 28 JK Flip-flop yang berfungsi sebagai pembagi frekuensi dari 1MHz menjadi 1Hz. Bagian pencacah

modulus memerlukan 37 JK Flip-flop. Bagian pengunci masukan dari saklar memerlukan 6 buah JK Flip-flop. Berdasarkan teori, JK Flip-flop yang dibutuhkan dari masing-masing pembagi bisa dihitung dengan persamaan $\log N : \log 2$ di mana N adalah modulus. Untuk osilator adalah modulus 10^7 maka memerlukan 23 JK Flip-flop. Untuk modulus 60 memerlukan 6 JK Flip-flop. Untuk modulus 24 memerlukan 5 JK Flip-flop. Untuk modulus 31 memerlukan 5 JK Flip-flop. Untuk modulus 12 memerlukan 4 JK Flip-flop. Untuk modulus 100 memerlukan 7 JK Flip-flop. Menurut teori JK Flip-flop yang diperlukan 56 JK Flip-flop. Dari perakitan JK Flip-flop memerlukan 71 buah. Perbedaan jumlah JK Flip-flop disebabkan tampilan mempergunakan bilangan desimal. Bilangan desimal yang ditampilkan BCD ke 7 segmen maksimal modulus 10. Untuk mengatasi permasalahan ini, perancang mempergunakan tampilan satuan dan puluhan yang menyebabkan penambahan JK Flip-flop 15 gerbang.

4.4. Analisa Daya dan Kuat Arus

Kuat arus yang diperlukan jam digital yang dilengkapi kalender sebesar 1,5 A dan tegangan sebesar 5 V. Dari data sheet diperoleh daya yang diperlukan 1 IC 160 mW dan tegangan 5 V. Untuk menghitung daya dengan persamaan berikut

$$\text{ini : } W = I \times V$$

$$W = 1,2 \text{ A} \times 5 \text{ V}$$

$$W = 6 \text{ Watt}$$



Dari teori dan dari data IC, daya dan kuat arus dapat dihitung dengan persamaan berikut ini :

$$W_{IC} = W_{IC} \times \Sigma IC$$

$$W_{IC} = 160 \text{ mW} \times 48$$

$$W_{IC} = 7,68 \text{ Watt}$$

$$I_{IC} = W : V$$

$$I_{IC} = 7,68 \text{ Watt} : 5 \text{ Volt}$$

$$I_{IC} = 1,536 \text{ A}$$

Daya yang diperlukan segmen-segmen dapat dihitung dengan persamaan berikut :

$$W_s = I \times V \times \Sigma \text{ segmen-segmen}$$

$$W_s = 10 \text{ mA} \times 2,7 \text{ V} \times 14$$

$$W_s = 378 \text{ mWatt}$$

Daya yang diperlukan LED dapat dihitung dengan persamaan berikut ini :

$$W_{LED} = I \times V \times \Sigma LED$$

$$W_{LED} = 10 \text{ mA} \times 2,7 \text{ V} \times 7$$

$$W_{LED} = 189 \text{ mWatt}$$

Jumlah daya dapat dihitung dengan persamaan berikut ini :

$$W_T = W_{IC} + W_s + W_{LED}$$

$$W_T = 7,68 \text{ W} + 0,378 \text{ W} + 0,189 \text{ W}$$

$$W_T = 8,247 \text{ Watt}$$

$$I_T = W_T : V$$

Keterangan :

W = Daya

I = Arus

V = Tegangan

W_T = Daya total

W_s = Daya segmen-segmen

W_{IC} = Daya IC

W_{LED} = Daya LED

$$I_T = 8,247 \text{ Watt} : 5 \text{ V}$$

$$I_T = 1,6494 \text{ A}$$

Dari hasil penelitian daya perhitungan lebih besar dengan pengukuran. Perbedaan daya dan kuat arus kemungkinan disebabkan dari rangkaian IC yang dihubungkan seri sehingga mengurangi daya yang diperlukan. Pemakaian keluaran yang memanfaatkan daya dari keluaran IC juga memungkinkan daya berkurang.

4.5. Tampilan Tahun

Tampilan tahun dirancang dari tahun 2000 sampai 2099 masehi. Tampilan ini terdiri dari 4 digit yang mewakili nilai ribuan, ratusan, puluhan, dan satuan. Untuk tampilan ribuan selalu menampilkan angka 2 dan puluhan selalu menampilkan angka 0. Tampilan puluhan dan satuan dikendalikan IC counter untuk membentuk modulus 100. Tampilan ribuan dan puluhan dihubungkan langsung dengan catu daya. Untuk mengubah tampilan ribuan dan ratusan harus mengubah pin yang dihubungkan catu daya sesuai yang diinginkan. Berdasarkan tampilan tahun seperti di atas kalender hanya mampu menampilkan 100 tahun dari 2000 sampai 2099. Jika kalender sudah melampaui batas akhir maka tampilan ratusan tahun harus diubah menjadi menampilkan angka satu. Untuk mengatasi masalah diatas dengan menghubungkan pin B dan C BCD ke 7 segmen dengan GND.

BAB V

KESIMPULAN DAN SARAN

5.1. Kesimpulan

Jam digital yang dilengkapi kalender berhasil dibuat dengan keluaran detik, menit, jam, tanggal, hari, bulan dan tahun. Tampilan tahun terdiri 4 digit dari tahun 2000 sampai 2099, tampilan detik, menit, jam, tanggal, bulan, masing-masing 2 digit. Tampilan hari terdiri dari 7 LED yang menyala bergantian sesuai urutan hari.

Kalender menampilkan tahun masehi dan kabisat secara otomatis dari tahun 00 sampai 99. Setiap empat tahun sekali pada bulan kedua kalender sampai tanggal 29.

Pencacah yang dipergunakan untuk membuat jam digital IC 74LS93 sejumlah 13 IC untuk membentuk modulus 10, modulus 9, modulus 7, modulus 6, modulus 4, modulus 3 dan modulus 2.

Jam digital yang dilengkapi kalender tidak mampu menyimpan data jika tegangan dimatikan. Jam hasil perancangan lebih lambat 1 detik setelah 23 jam.

Jam digital yang dilengkapi kalender dirancang dengan 48 IC TTL. Daya yang diperlukan 6 Watt dengan tegangan 5 V dan kuat arus 1,2 A.

5.2. Saran

Sebelum membuat rancangan sebaiknya kita mengenali data yang akan diteliti dan dibuat aritmatikanya. Setelah itu kita memilih jenis IC yang akan digunakan. Kemudian lakukan percobaan untuk memahami karakter dari IC itu. Setelah kita

memahami cara kerjanya baru mendesain rangkaiannya. Dengan cara ini kita bisa menghemat dan mempermudah mencari kesalahannya.

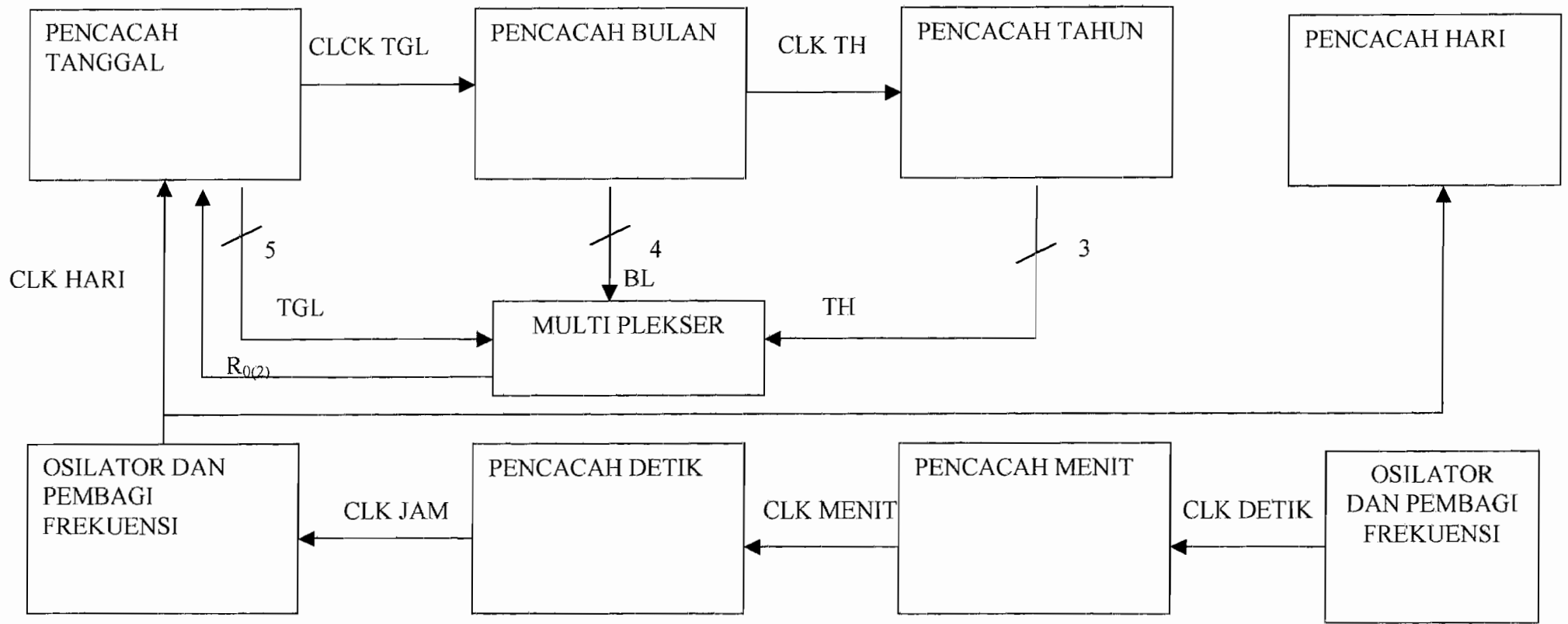
Catu daya diusahakan lebih besar dari daya yang diperlukan dengan tujuan catu daya tidak cepat rusak.

DAFTAR PUSTAKA

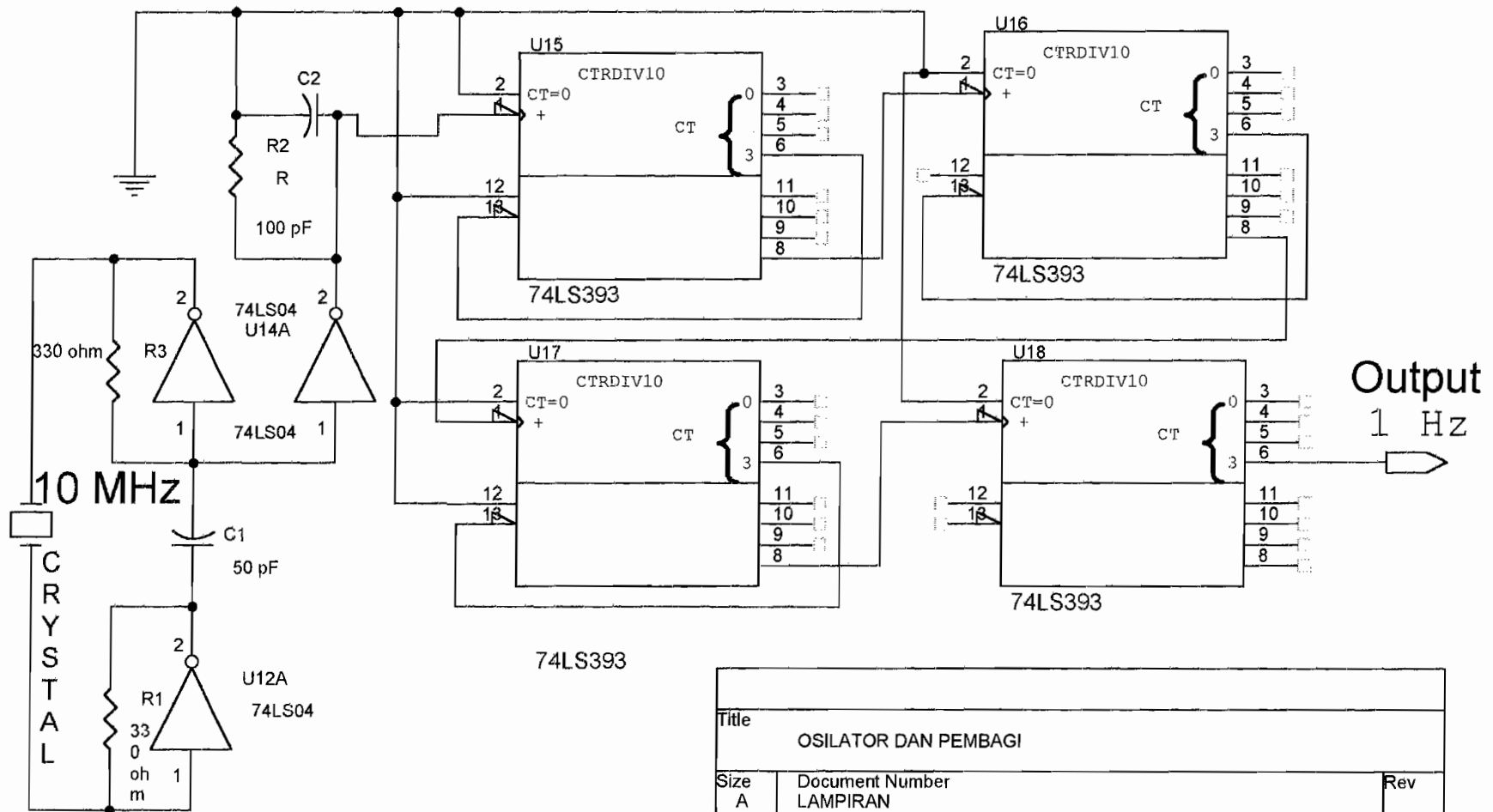
- Elektuur, 1985, *Data Sheet Book*, Uitegeversmaatschappij Elektuur B.V. Netherlands.
- Floyd.T.L, 1997, *Digital Fundamentals*, Sixth Edition, Prentice – Hall International, Inc. New Jersey.
- Jones,L and Chin, A.F, 1983, *Elektronic Instruments and Measurement*, John Wiley & Sons, Inc.
- Malvino,A.D, 1985, *Prinsip-Prinsip dan Penerapan Digital*, edisi ketiga, Penerbit Erlangga, Jakarta.
- Tokheim,R.L, 1995, *Elektonika Digital*, edisi kedua, Penerbit Erlangga, Jakarta.

LAMPIRAN

BLOK JAM DIGITAL YANG DILENGKAPI KALENDER

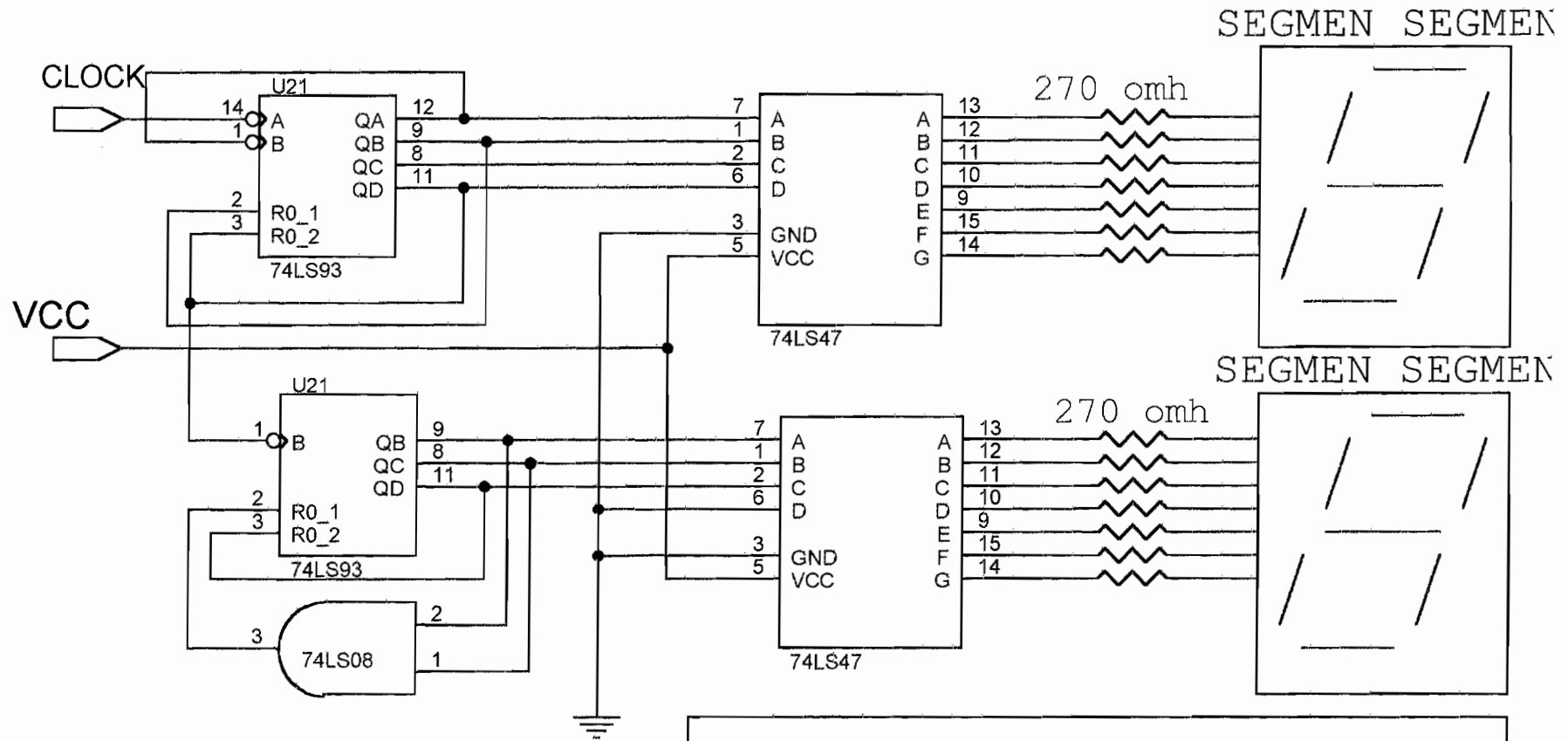


OSILATOR DAN PEMBAGI FREKUENSI



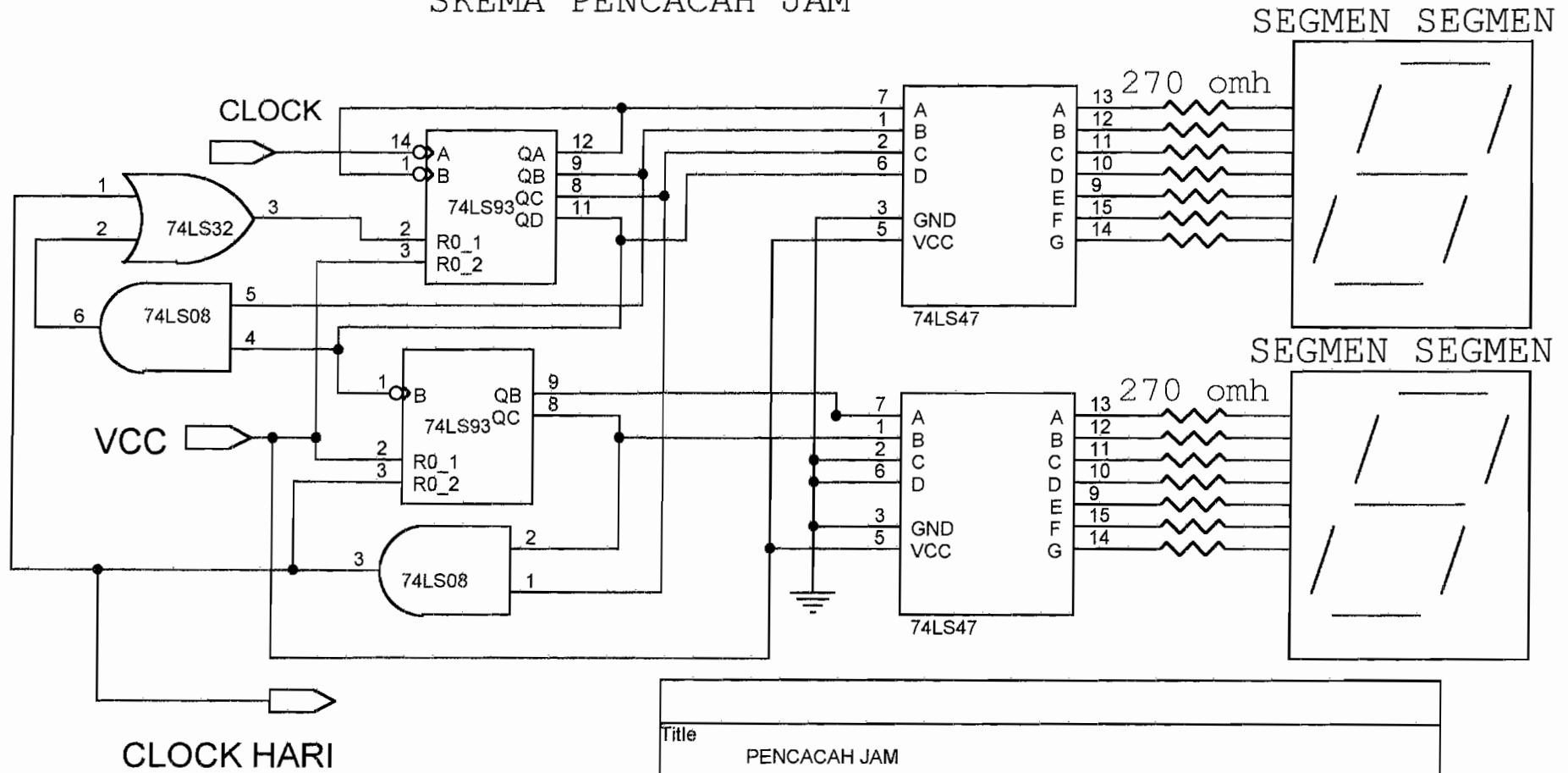
Title		
OSILATOR DAN PEMBAGI		
Size	Document Number	Rev
A	LAMPIRAN	
Date:	Wednesday, June 16, 2004	Sheet 1 of 1

SKEMA PENCACAH MENIT DAN DETIK



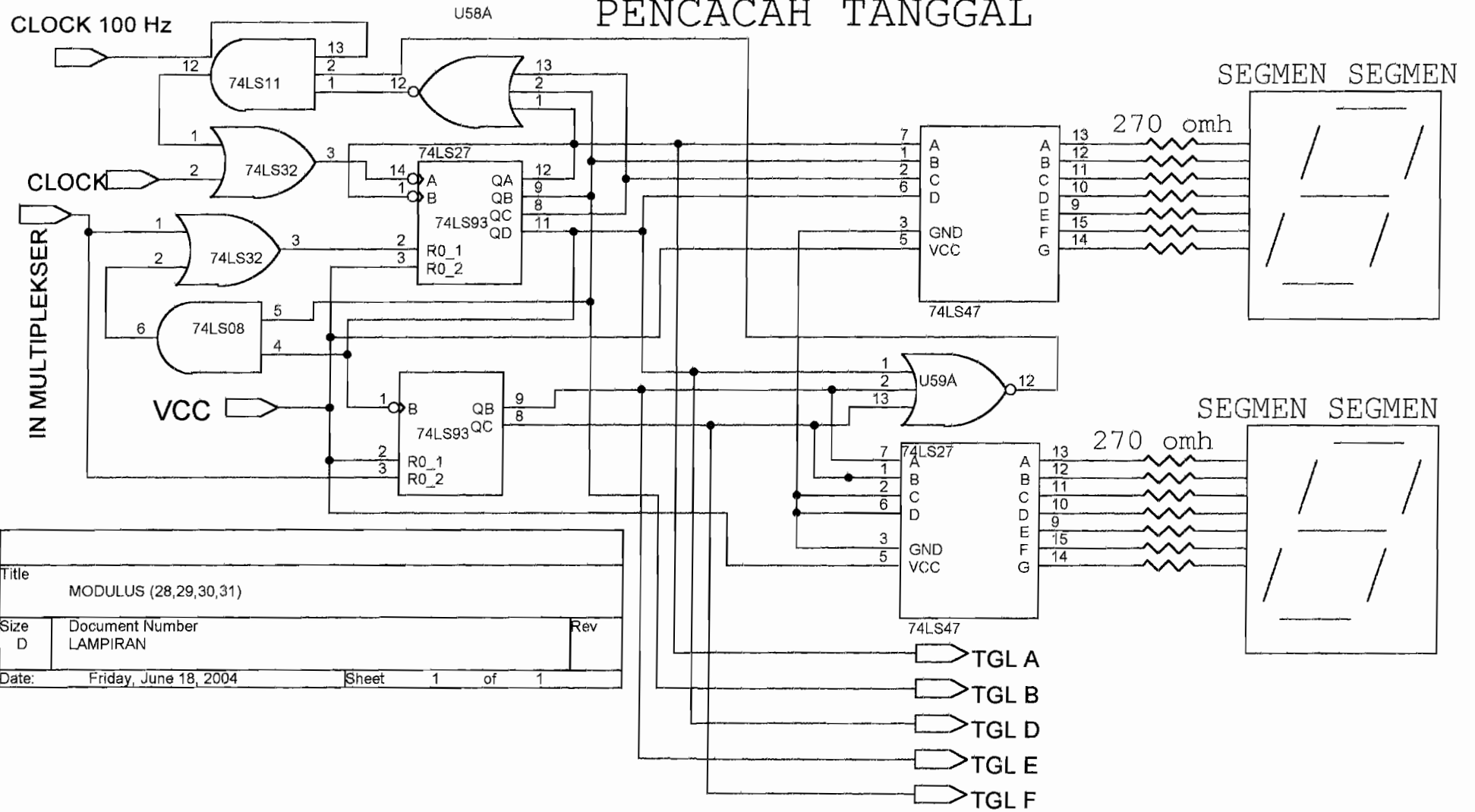
Title		
Size	Document Number	Rev
D	LAMPIRAN 2	
Date:	Friday, June 18, 2004	Sheet 1 of 1

SKEMA PENCACAH JAM



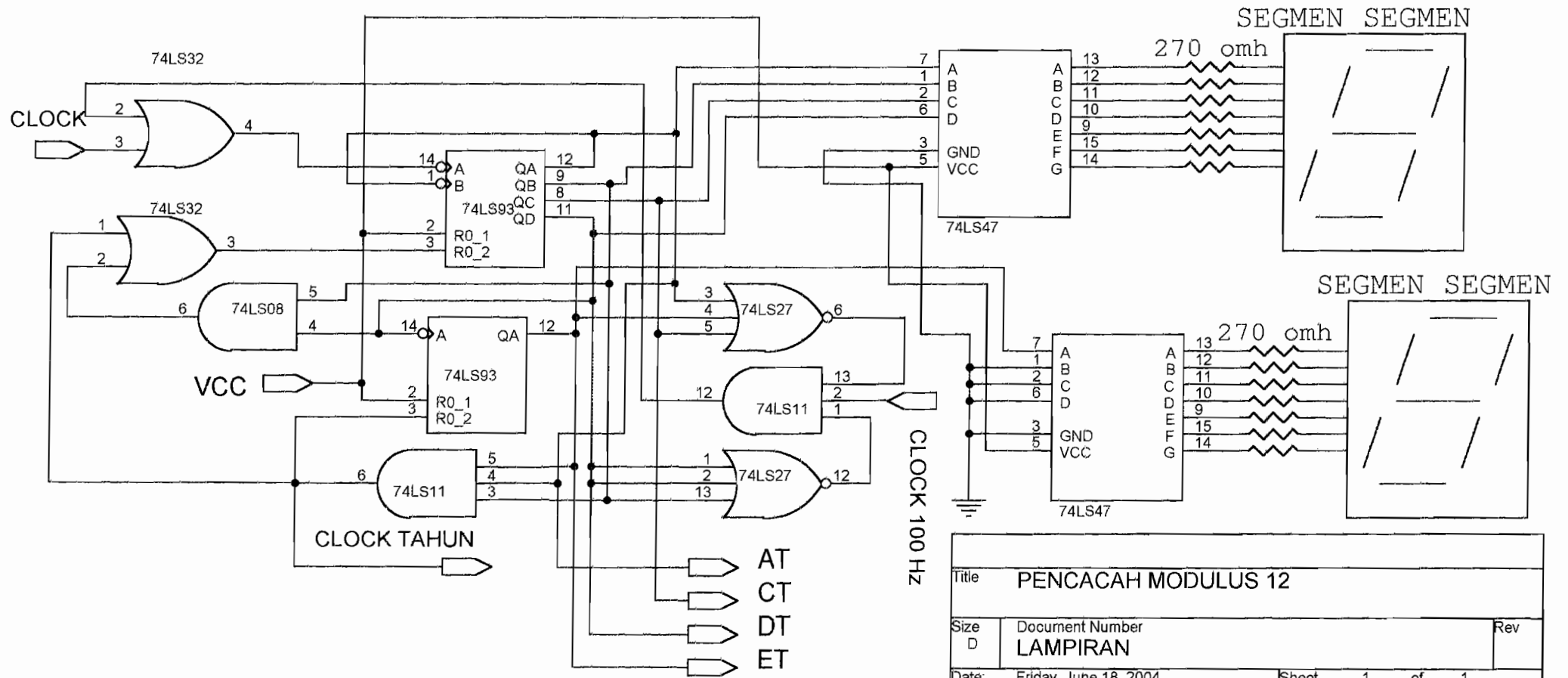
Title		
PENCACAH JAM		
Size	Document Number	Rev
D	LAMPIRAN 3	
Date:	Friday, June 18, 2004	Sheet 1 of 1

PENCACAH TANGGAL

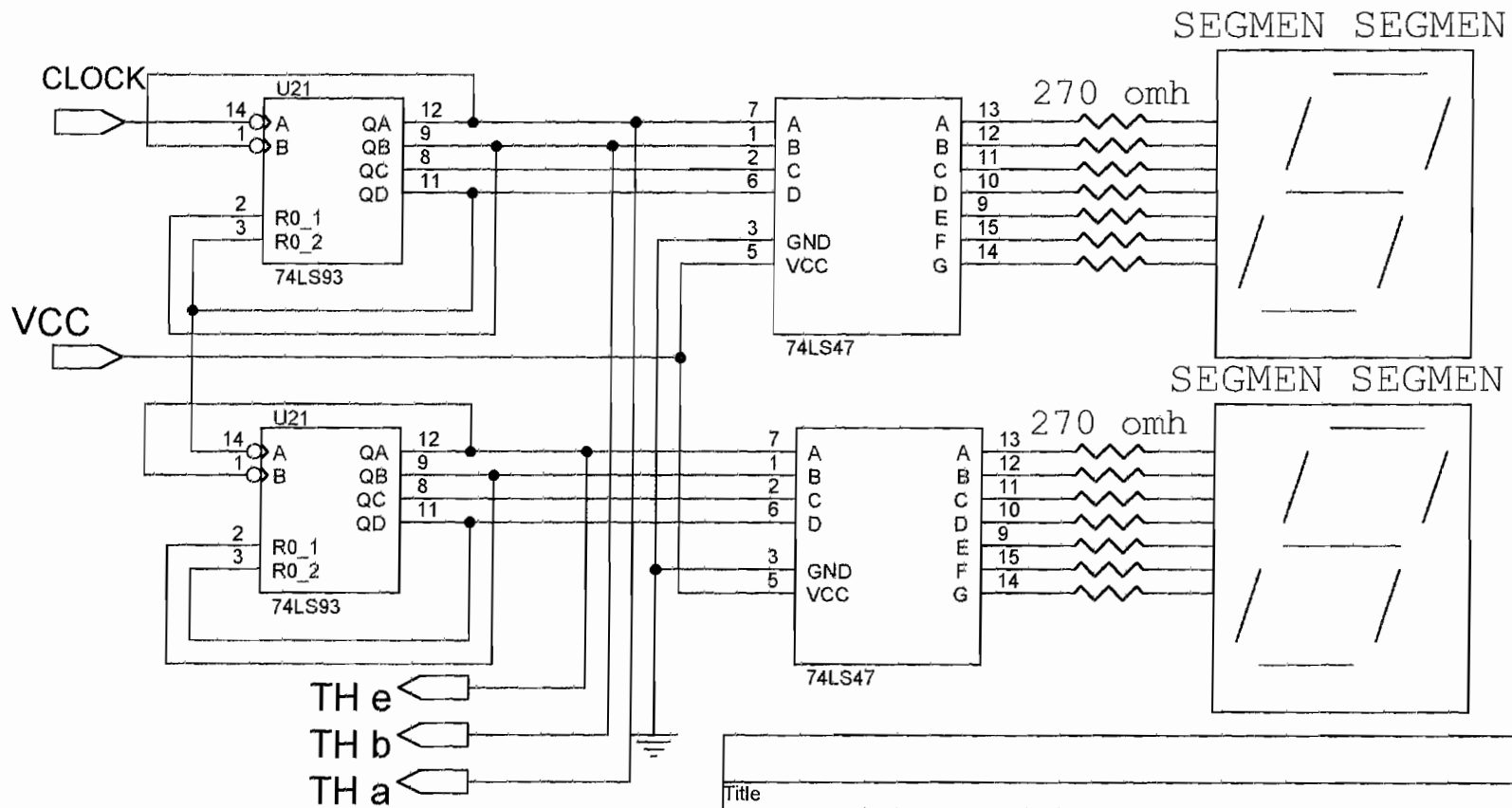


Title		
MODULUS (28,29,30,31)		
Size	Document Number	Rev
D	LAMPIRAN	
Date:	Friday, June 18, 2004	Sheet 1 of 1

PENCACAH BULAN

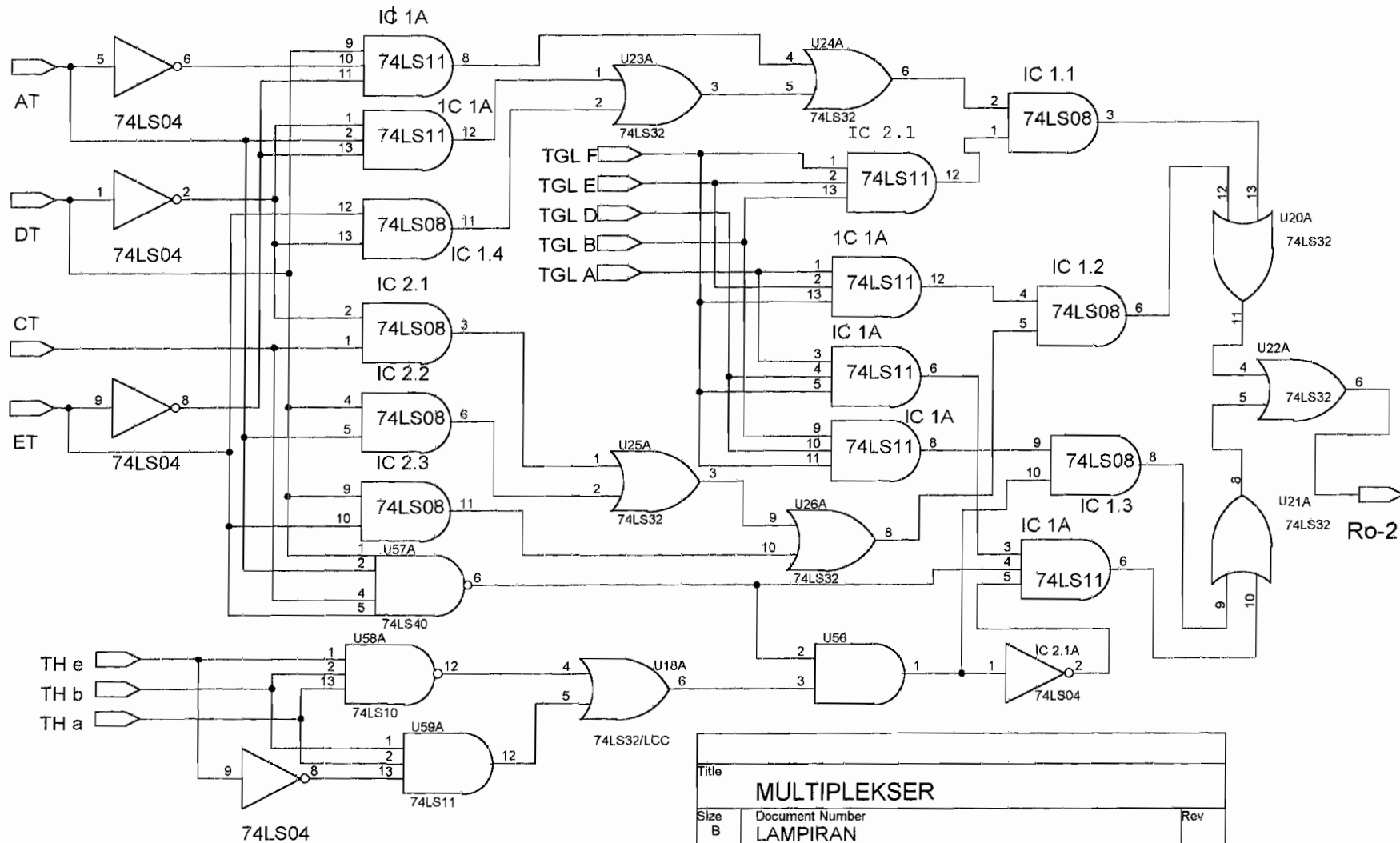


SKEMA PENCACAH TAHUN

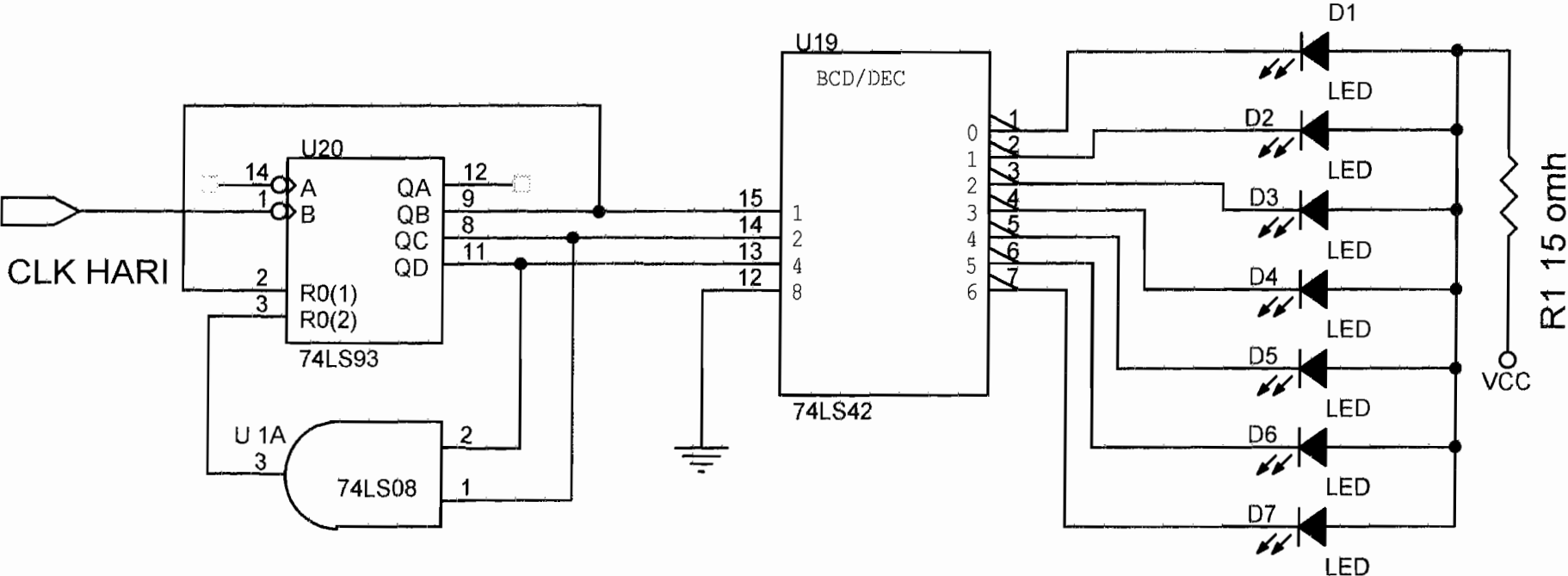


Title		
PENCACAH MODULUS 100		
Size	Document Number	Rev
D	LAMPIRAN 5	
Date:	Friday, June 18, 2004	Sheet 1 of 1

MULTIPLEKSER



PENCACAH HARI



Title		
SKEMA HARI		
Size	Document Number	Rev
A	LAMPIRAN	
Date:	Saturday, June 26, 2004	Sheet 1 of 1

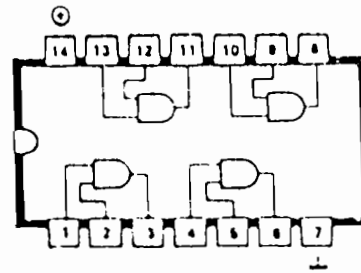
2. Koneksi Gerbang AND

Gerbang AND dengan 2 jalanmasuk

7408: beban maksimum (*fan-out*) 10

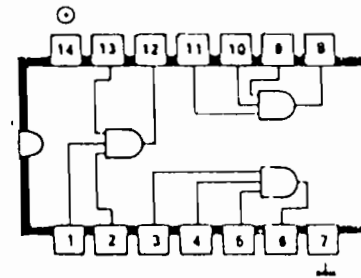
7409: (kolektor terbuka)

beban maksimum (*fan-out*) 10



Gerbang AND dengan 3 jalanmasuk

7411: beban maksimum (*fan-out*) 10

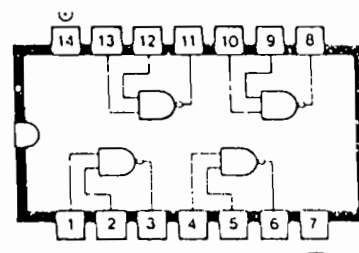


Gerbang NAND dengan 2 jalanmasuk

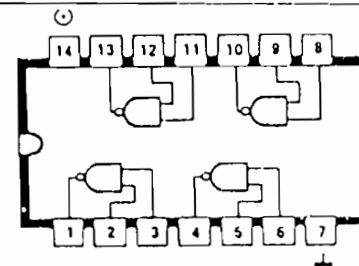
7400: beban maksimum 10

7403: (kolektor terbuka) beban maksimum 10

7473: beban maksimum 30



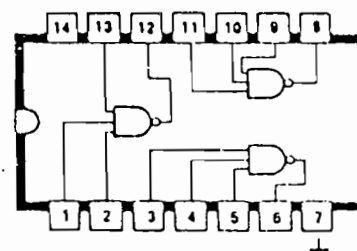
7401: beban maksimum 10



Gerbang NAND dengan 3 jalanmasuk

7410: beban maksimum 10

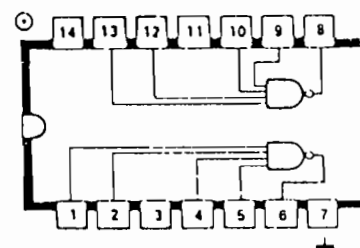
7412: (kolektor terbuka) beban maksimum 10



Gerbang NAND dengan 4 jalanmasuk

7420: beban maksimum 10

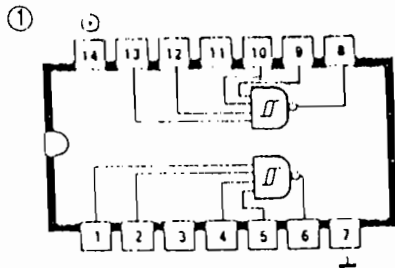
7440: beban maksimum 30



3. Penyulut Schmitt

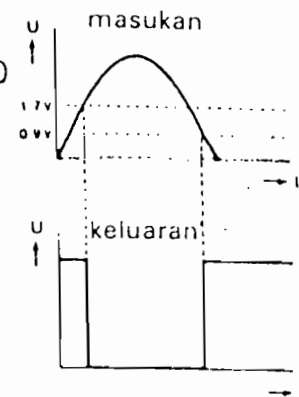
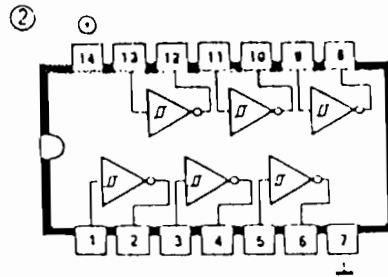
NAND Penyulut Schmitt dengan 4 jalanmasuk

7413: beban maksimum 10



Penyulut Schmitt menjungkir

7414: beban maksimum 10

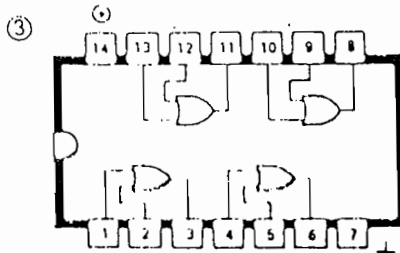


Penyulut Schmitt membentuk denyut-denyut, artinya ia mengubah isyarat masukan yang berubah perlahan menjadi isyarat keluaran dengan tepian-tepi curam, yang diperlukan untuk mengemudikan IC-IC TTL lumrah. Dalam IC yang dikemukakan, tegangan ambang atas adalah 1,7 V dan ambang bawah 0,9 V. Histeresis 0,8 V yang diperoleh adalah terkompensasi terhadap suhu. Karena itu ia memungkinkan untuk membangun generator gelombang segiempat yang sangat mantap guna membangkitkan frekuensi-frekuensi setinggi beberapa MHz.

Gerbang OR, Gerbang NOR

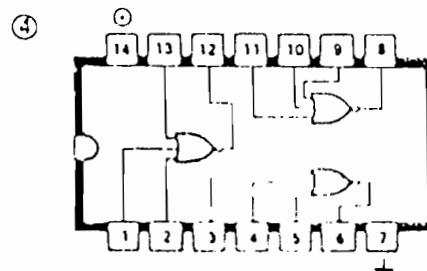
Gerbang OR dengan 2 jalanmasuk

7432: beban maksimum 10



Gerbang NOR dengan 3 jalanmasuk

7427: beban maksimum 10



Gerbang NOR dengan 2 jalanmasuk

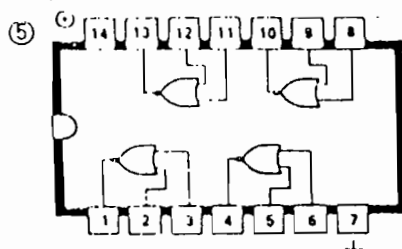
7402: beban maksimum 10

7428: beban maksimum 30

7433: beban maksimum 30

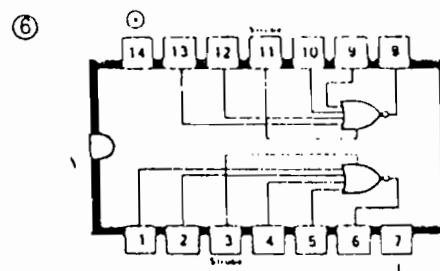
kolektor terbuka

74128: beban maksimum 30



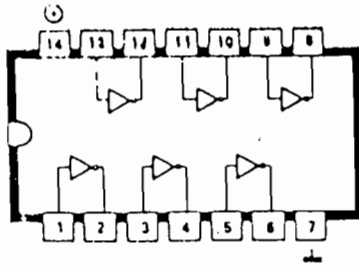
Gerbang NOR dengan 4 jalanmasuk dan gasing (strobe)

7425: beban maksimum 10



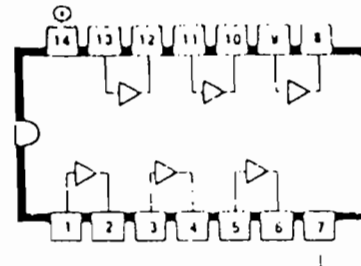
5. Penyangga, Penyangga Menjungkirkan

penyangga menjungkirkan



- 7404: beban keluaran (*fan-out*) 10
- 7405: (kolektor terbuka) beban keluaran 10
- 7406: (kolektor terbuka – maks 30 V) beban keluaran 25
- 7416: (kolektor terbuka – maks 15 V) beban keluaran 25

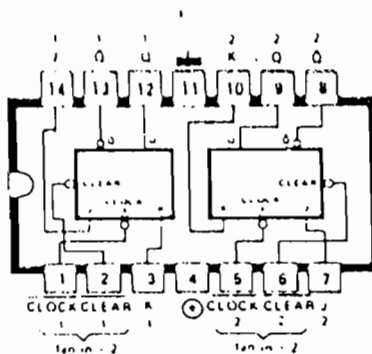
penyangga



- 7407: (kolektor terbuka – maks 30 V) beban keluaran 25
- 7417: (kolektor terbuka – maks 15 V) beban keluaran 25

Flip-flop D, Flip-flop JK

Flip-flop JK berdua dengan penyulut tepian positif untuk *clear*



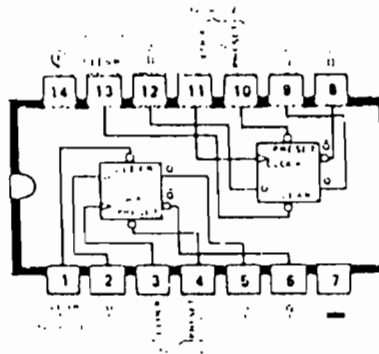
7473: beban maksimum 10

Tabel kebenaran

masukan	sebelum		Clock	sesudah	
	keluaran	Clear		keluaran	Clear
H	L	H	—	H	L
X	L	H	—	H	L
L	A	H	—	L	H
X	H	H	—	L	H
X	X	H	—	A	X
X	X	H	—	X	X
X	X	L	X	X	X
J	K	Clear	Q	Q	Q

H = > 2 V L = < 0,7 V

Flip-Flop D dengan penyulut tepian positif, *preset* dan *clear*



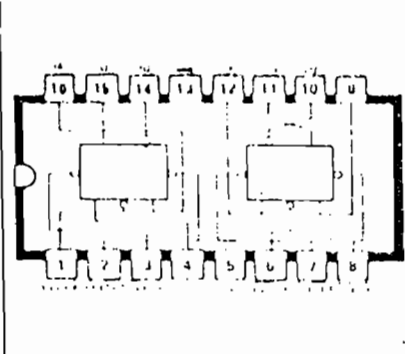
7474: beban maksimum 10

Tabel kebenaran

masukan	sebelum		Clock	sesudah	
	keluaran	Clear		keluaran	Clear
L	H	H	—	H	L
X	H	H	—	H	L
H	H	H	—	X	X
X	H	H	—	X	X
X	L	H	—	X	X
X	H	L	X	X	X
X	L	L	X	X	X
D	Preset	Clear	Q	Q	Q

X = taraf tak tertentu

Flip-flop JK dengan penyulut tepian *preset* dan *clear*



7476: beban maksimum 10

Tabel kebenaran

masukan	sebelum		Clock	sesudah	
	keluaran	Clear		keluaran	Clear
H	A	H	—	L	H
A	L	H	—	L	H
L	X	H	—	L	H
X	H	H	—	H	L
X	X	H	—	X	X
X	X	L	—	X	X
X	X	L	X	X	X
X	X	L	X	X	X
J	K	Preset	Clear	Q	Q

⊗ = taraf tak berubah

7. Dekoder BCD ke Desimal

Tipe 7442, 7445 dan 74145

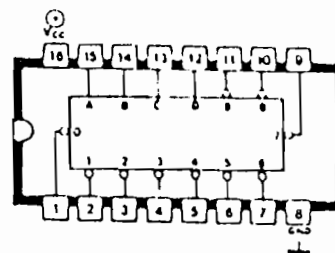
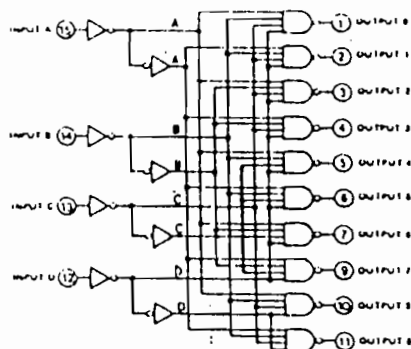
Dekoder-dekoder itu dirancang untuk mengubah desimal yang tersandi biner (BCD) menjadi desimal ekuivalennya. Keluaran mampu (*enabled*) adalah nol logika. Dekoder 7442 memiliki jalankeluar susun (*totem pole*) normal, yang masing-masing memiliki beban keluaran (*fan-out*) 10. Dekoder 7445 dan 74145 memiliki jalankeluar dengan kolektor terbuka. Tegangan keluaran maksimum bagi tipe 7445 adalah 30 V dan bagi 74145 adalah 15 V, sementara arus benaman (*sink*) maksimum adalah 80 mA bagi kedua tipe itu.

Tegangan keluaran maksimum yang ditunjukkan itu hanya akan dikenakan apabila tegangan catu (V_{CC}) sudah terkoneksi pada pin 16. Kalau tidak, akan dapat terjadi dadalan kolektor-emitor di tingkat-tingkat keluarannya. Karena itu, pada dasarnya, tegangan catu harus sudah tersedia sebelum tegangan keluaran (tinggi) dikenakan.

Kalau tegangan catu tidak tersedia, maka tegangan keluaran harus jauh lebih kecil dari yang ditunjukkan di atas; kira-kira separohnya.

Sebagaimana halnya dapat dilihat dari tabel kebenaran, koda-koda BCD tak sah (yaitu yang besar dari sepuluh desimal) tidak disandakan.

Masukan				Keluaran Dasan									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	1	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

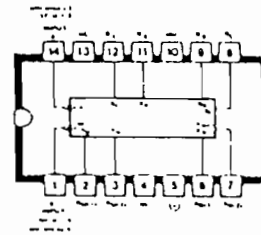


9. Pencacah Dekada Tak Sinkron BCD

Pencacah dekada tak sinkron dengan keluaran tersandi BCD disulut pada denyut menuju-negatif

frekuensi cacah maksimum untuk jalanmasuk A: 32 MHz
 frekuensi cacah maksimum untuk jalanmasuk B: 16 MHz
 set dan reset tak bergantung status ragam yang mungkin ada di jalanmasuk-jalanmasuk: terbagi-dua, terbagi-lima, terbagi-sepuluh

7490



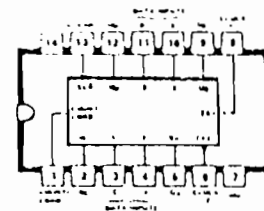
Pencacah dekada dapat dipreset tak sinkron dengan keluaran-keluaran BCD dan bikuiner disulut pada denyut menuju-negatif

74176 74196

frekuensi cacah maksimum 1: 35 MHz 50 MHz
 frekuensi cacah maksimum 2: 17,5 MHz 25 MHz

dapat diacarai penuh: *Count/Load* masukan tak bergantung pada status lonçeng ragam yang dapat ada di masukan: terbagi-dua, terbagi-5, terbagi-10

74176
74196



Tabel Benaran Pencacah Tak Sinkron

7490

BCD QA - A					bikuiner QD - A				
denyut lonçeng	QA	QC	QB	QA	denyut lonçeng	QA	QD	QC	QB
0	L	L	L	L	0	L	L	L	L
1	L	L	L	H	1	L	L	L	H
2	L	L	L	H	2	L	L	H	L
3	L	L	H	L	3	L	L	H	H
4	L	L	H	L	4	L	H	L	L
5	L	H	L	L	5	H	L	L	L
6	L	H	H	L	6	H	L	L	H
7	L	H	H	H	7	H	L	H	L
8	H	L	L	L	8	H	L	H	H
9	H	L	L	H	9	H	H	L	L

74176
74196

BCD QA - clock 2					bikuiner QD - clock 1				
denyut lonçeng	keluaran				denyut lonçeng	keluaran			
	QD	QC	QB	QA		QA	QD	QC	QB
0	L	L	L	L	0	L	L	L	L
1	L	L	L	H	1	L	L	L	H
2	L	L	L	H	2	L	L	H	L
3	L	L	H	L	3	L	L	H	H
4	L	L	H	L	4	L	H	L	L
5	L	H	L	L	5	H	L	L	L
6	L	H	H	L	6	H	L	L	H
7	L	H	H	H	7	H	L	H	L
8	H	L	L	L	8	H	L	H	H
9	H	L	L	H	9	H	H	L	L

X - takperdul

X - takperdul

reset/cech							
masukan reset				keluaran			
R0(1)	I0(2)	Rg(1)	Rg(2)	QD	QC	QB	QA
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	L	L	L	L
L	X	L	X	L	L	L	L
L	X	X	X	L	L	L	L
X	L	L	X	L	L	L	L

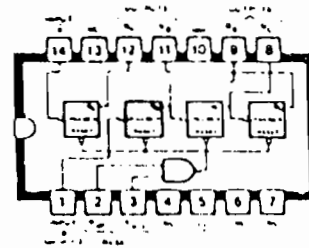
pencacah gel

10. Pencacah Biner 4-bit Tak Sinkron

Pencacah biner 4-bit tak sinkron dengan keluaran tersandi BCD. Disulut oleh tepian menuju-negatif.

frekuensi cacah maks.: 18 MHz
 lebar denyut lonceng min.: 50 ndet
 konsumsi daya lumrah: 160 mW
 beban masukan ($R_{0(1)}$; $R_{0(2)}$): 1
 beban masukan (jalan masuk A; jalan masuk B): 2
 beban-keluaran: 10

7493

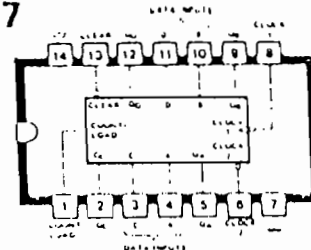


Pencacah biner 4-bit tak sinkron dengan keluaran tersandi BCD. Disulut oleh tepian menuju-negatif.

frekuensi cacah maks. (*clock 1*): 35 MHz
 frekuensi cacah maks. (*clock 2*): 150 MHz
 konsumsi daya lumrah: 17,5 Mhz
 beban-masukan (*data*; *count*): 1
 beban-masukan (*clear*; *clock 2*): 2

beban-masukan (*clock 1*): 3
 beban-keluaran: 10

74177



Tabel sekuensi cacahan

7493

Keluaran A dikoneksikan pada keluaran B untuk cacahan BCD. Guna me-reset semua keluaran ke '0', peria $R_{0(1)}$ dan $R_{0(2)}$ harus '1'.

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

74177

Keluaran A dikoneksikan pada *clock 2*.

Count	Output			
	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1